

Bauelemente der Mikro- und Nanoelektronik

Karl R. Hofmann

**Institut für Materialien und Bauelemente der Elektronik
Laboratorium für Informationstechnologie**

Forschungsthemen

NANOELEKTRONIK ADVANCED CMOS

NEUE MATERIALIEN

**Epitaktische
Ge-MOSFETs
auf Silizium**

**Epitaktische
Isolator/Si
Tunnelbauelemente**

**Ge-Nanocluster
MOS-Speicher**

**Degradationsphysik
MOSFETs und
Flash-EEPROMs**

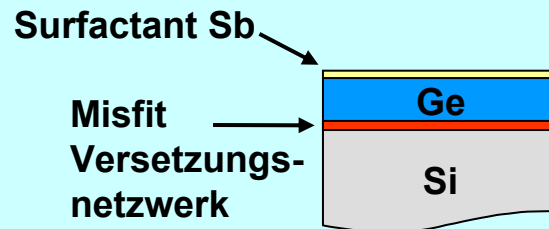
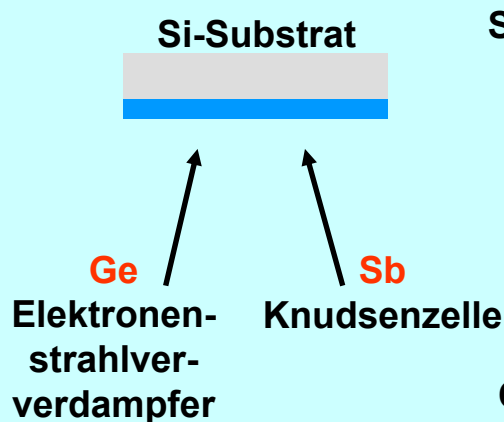
**Epitaktisches
Hi-k Gate-Dielektrikum
BaSrO**

Epitaktische Ge-MOSFETs auf Si-Substraten

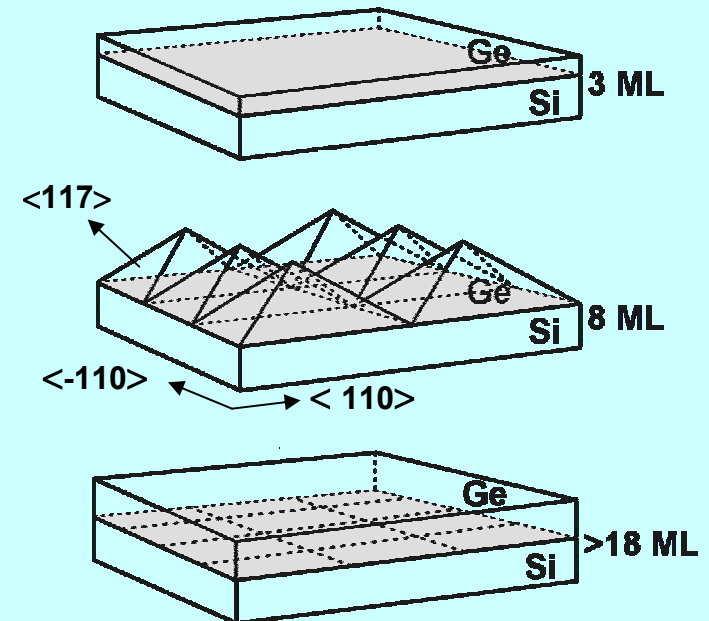
- **Zukünftige CMOS-Skalierung erfordert höhere MOSFET-Kanalbeweglichkeiten als Silizium**
 - Transport-enhanced MOSFETs: verspanntes Si, SiGe, Wafer-Orientierung,...
- **Integration von Germanium auf Siliziumsubstraten**
 - 4x höhere Löcher- und 2,6x höhere Elektronenbeweglichkeit
 - Problem: Gitterfehlpassung 4,2% \Rightarrow extreme Defektbildung
 - Pseudosubstrate (gradiertes SiGe, GOI), zyklisches Tempern,...
- **Direktes Wachstum mit Surfactant-Modifizierter Epitaxie**
 - Copel et al. 1989, Horn-von-Hoegen et al.,...
 - Prinzipiell defektfreie dicke Ge-Schichten auf Si (111)
 - Abrupte Relaxation mit Versetzungsnetzwerk an Grenzfläche
 - Aber: Hohe Dotierung ($\sim 10^{19} \text{ cm}^{-3}$) durch Surfactant (z.B. Sb); Mechanismus nur auf Si(111) wirksam
- **Unsere Arbeiten: SME Ge-Schichten für Bauelemente**
 - Niedrige Ge-Schichtdotierung ($\sim 10^{16} \text{ Sb cm}^{-3}$) durch hohe T_{Growth}
 - Erste Herstellung von Ge-MOSFETs auf Si-Substraten (1999)
 - Analoger Relaxationsmechanismus auch auf Si(001) und Si(110)
 - Ziel: Ge-MOSFETs auf Si(001) mit high-k Gatedielektrika

Surfactant-Modifizierte Epitaxie (SME) bei hohen Temperaturen $T \sim 700^\circ\text{C}$

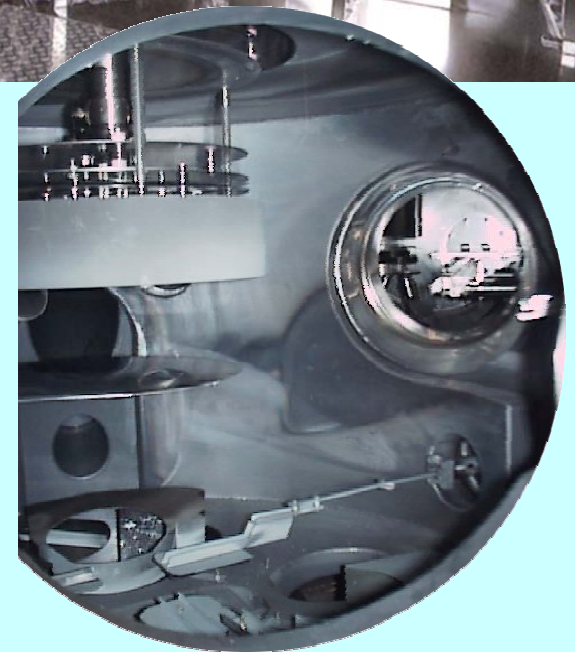
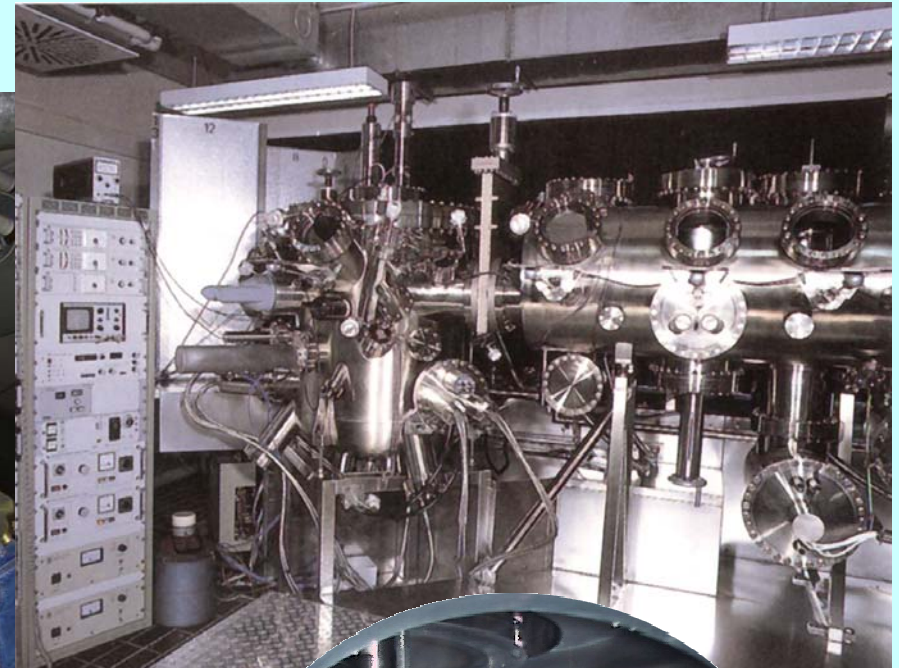
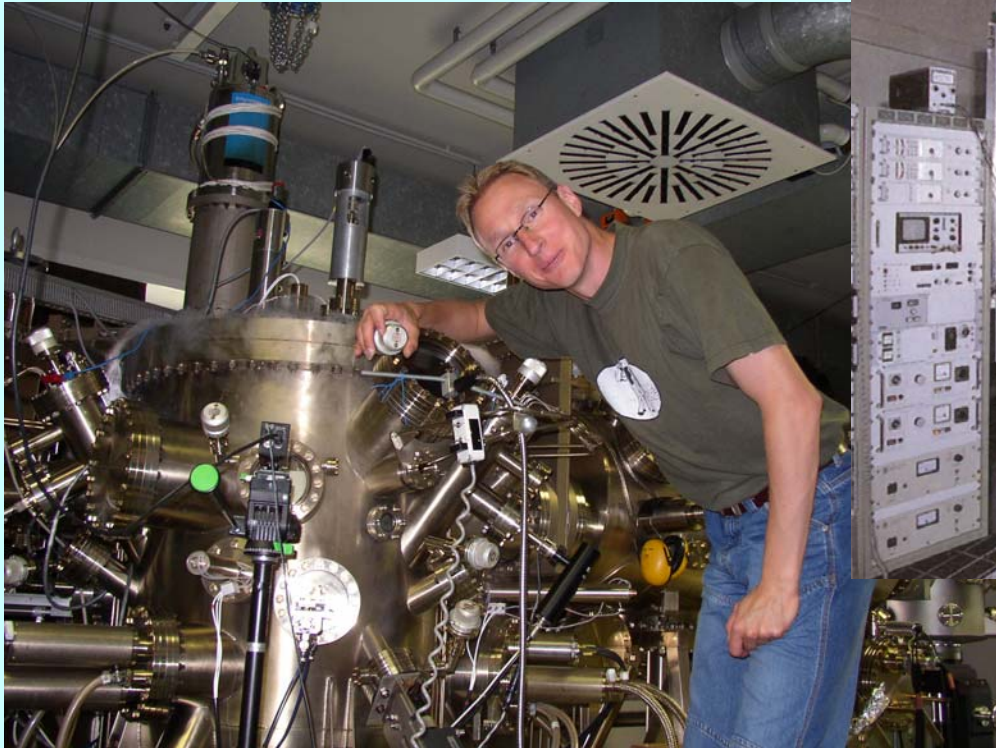
- Surfactant Sb ändert Oberflächenenergie und Adatom-Diffusionslänge, verhindert Inselbildung, führt zu bevorzugten Mikrofacettenorientierungen
- Dotierungseinbau $< 5 \times 10^{16} \text{ cm}^{-3}$ durch starke Oberflächensegregation
- Abrupte Relaxation in mikro-rauer Phase zu Beginn des Wachstums
- Regelmäßiges Misfit-Versetzungsnetzwerk entsteht direkt an Grenzfläche
- Weiteres Wachstum der relaxierten Ge-Schicht mit wenigen Defekten
- Funktioniert analog zu Si(111) auch auf Si(001) und Si(110)!



Wachstumsphasen auf Si(001)



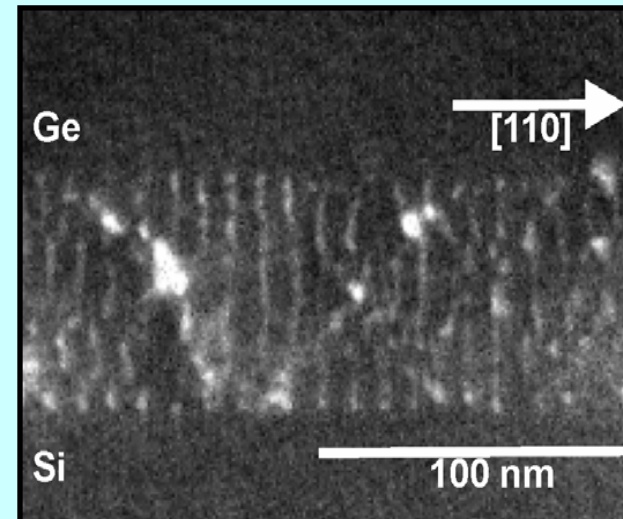
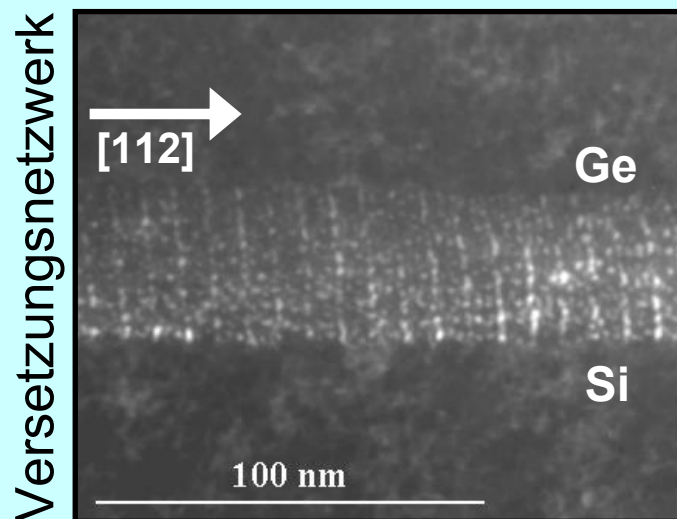
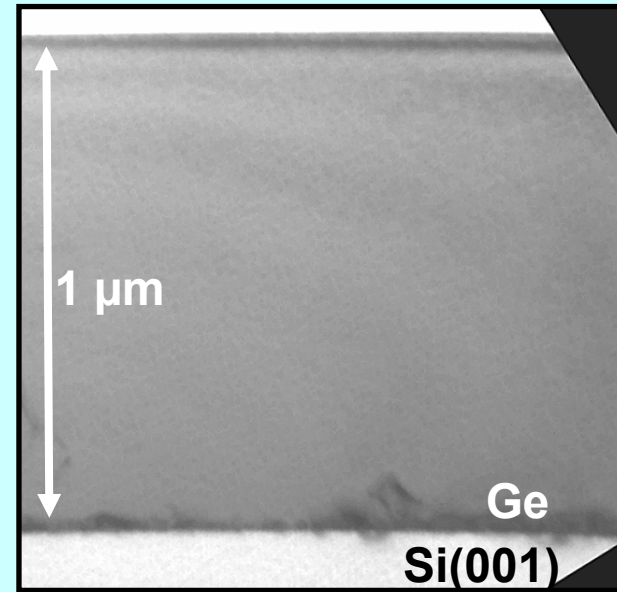
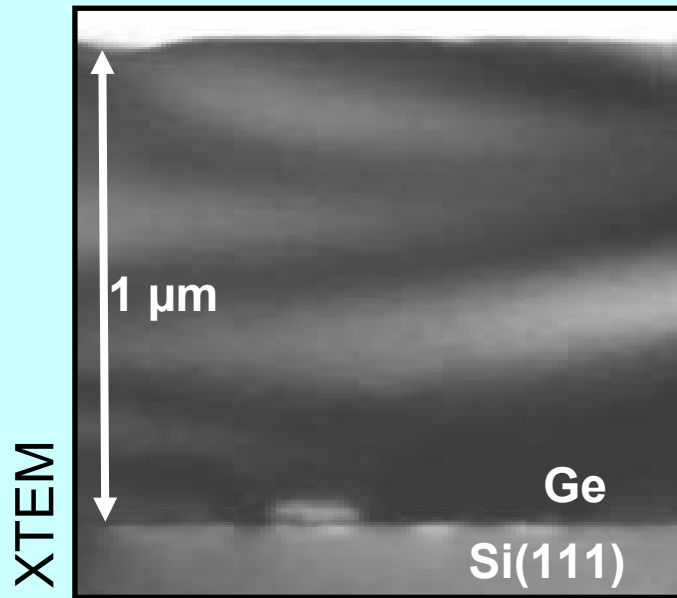
VG-MBE Anlage im Lfl



- Elektronenstrahlverdampfer für Si und Ge
- Effusionzellen für Surfactants Sb und B
- Basisdruck $< 2 \times 10^{-10}$ mbar
- in situ Analytik (RHEED, AES, LEED)
- Substratgröße bis 150 mm

SME von Ge-Schichten auf Si(111) und Si(001)

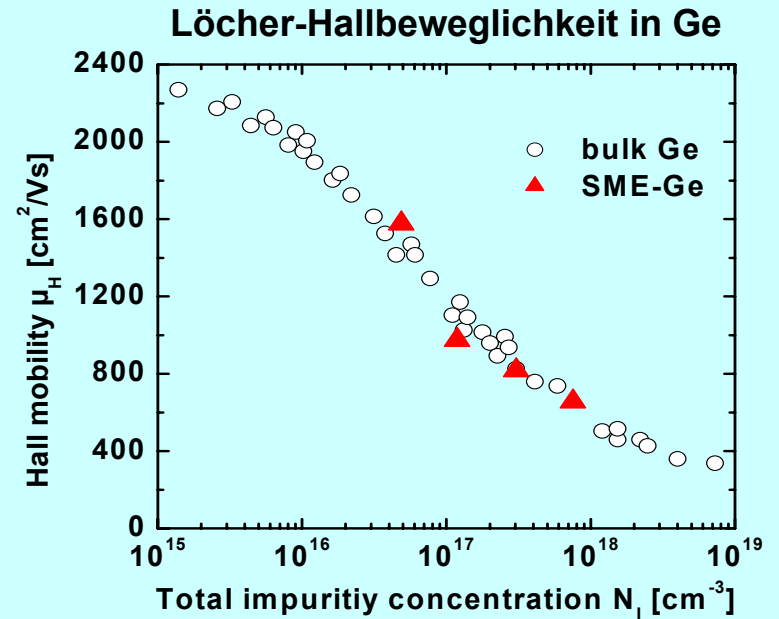
TEM: E. Bugiel, MBE



N- und p-dotierte Ge-Schichten mit Bauelementqualität

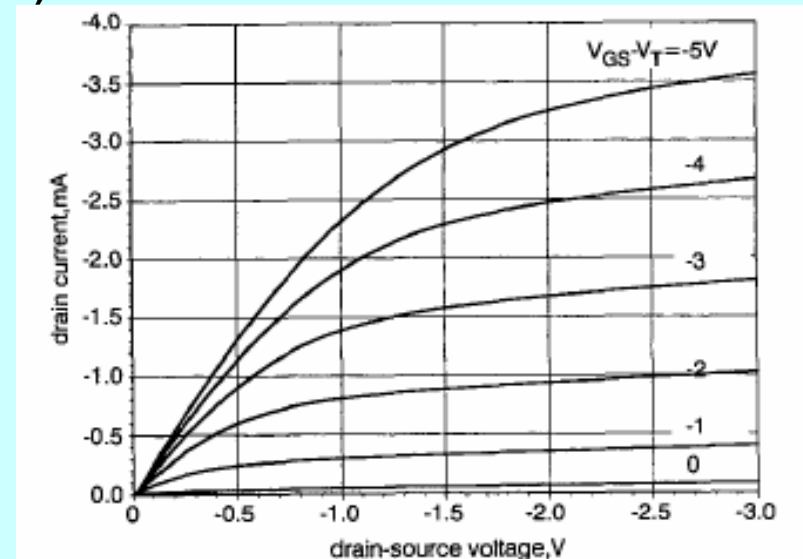
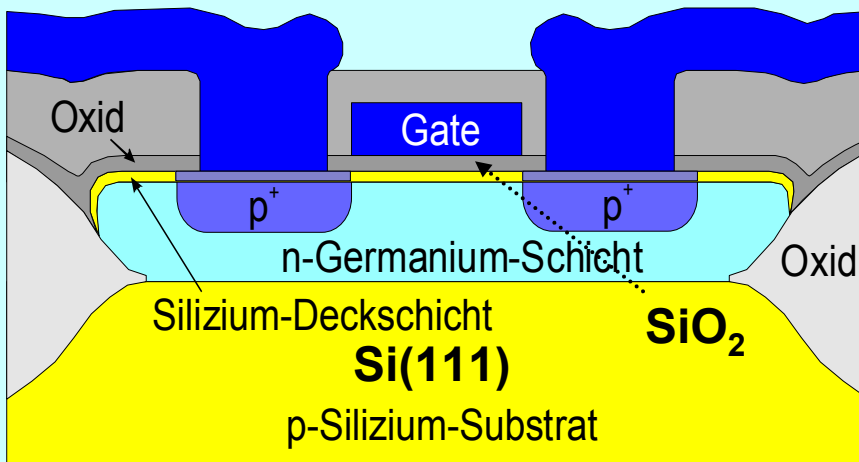
- Hintergrunddotierung $\sim 10^{16}$ Sb cm⁻³
- Hohe Ladungsträgerbeweglichkeiten wie defektfreies dotiertes Bulk-Ge
 - n-Ge bis $\mu_n = 3100$ cm²/Vs
 - p-Ge bis $\mu_p = 1600$ cm²/Vs (B-Dotierung)

T.F. Wietler et al., Mat. Sci. Semicond. Proc., 8 (2005) 73; Reinking et al., APL 71(1997) 924



Erste Integration von Ge-MOSFETs auf Si-Substrat

p-Kanalbeweglichkeit $\mu_{ch} = 430$ cm²/Vs (Rekord)

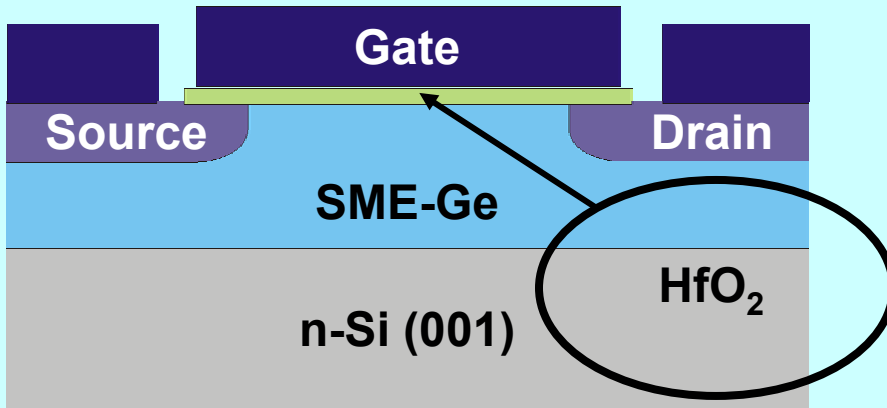


D. Reinking et al., Electron. Lett. 35 (1999) 503

Weitere Arbeiten: Ge-MOSFETs auf Si(001) mit High-k Gatedielektrika

- Herausforderung: geeignetes Hi-k Dielektrikum für Germanium
- Hi-k/Ge Grenzfläche entscheidend

Erste Ergebnisse p-MOSFET mit amorphem Gateisolator HfO_2

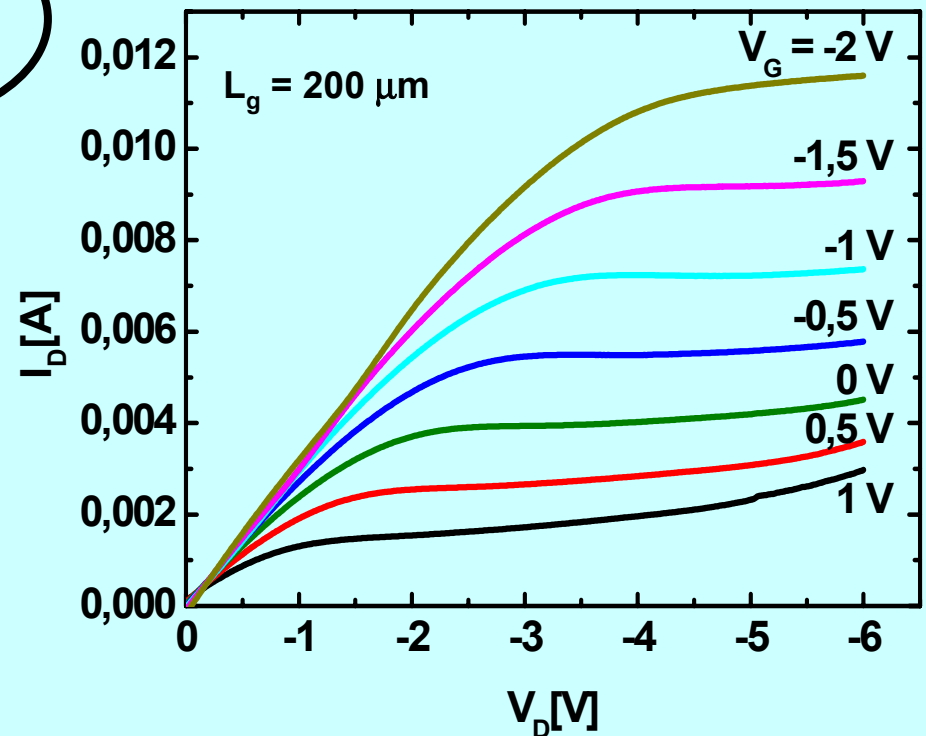


Reaktiv gesputterter Gate-Stack

Gate-Metall: TaN

Gate-Dielektrikum: 46 nm HfO_2

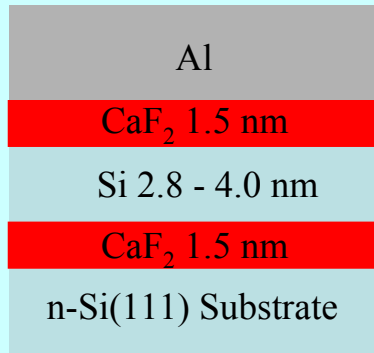
CET = 10,3 nm, $k = 17,5$



Epitaktische Isolator/Si Tunnelbauelemente

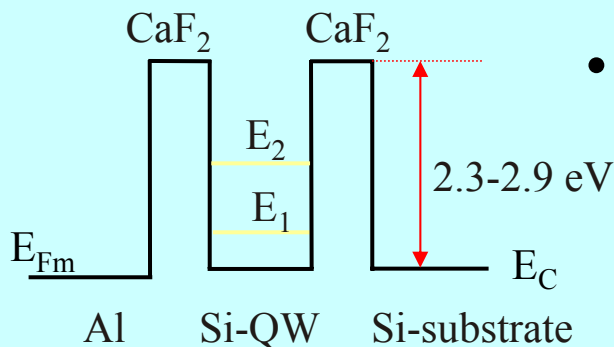
CaF₂/Si Isolator-Halbleiterheterostruktur

- CaF₂ wächst epitaktisch auf Si(111): Fehlanpassung 0.6%, E_G = 12.1 eV, große Banddiskontinuitäten $\Delta E_C \approx 2.3 - 2.9$ eV
- Quanten-Bauelemente, kompatibel mit Si-Technologie
- Resonante Tunneldiode mit CaF₂ Barrieren und Si-QW



Wachstumsherausforderungen

- Epitaktische CaF₂ Schichten auf Si: ultradünn, glatt, defektfrei
 - ⇒ MBE-Verfahren für atomar glatte CaF₂ Schichten
- Epitaktische Si-Schichten auf CaF₂: glatt, defektfrei
 - besonders schwierig wegen "Gesetz der Epitaxie"
 - Konventionelle SPE keine guten Resultate
 - ⇒ SPE-Verfahren mit Surfactants Sb und B

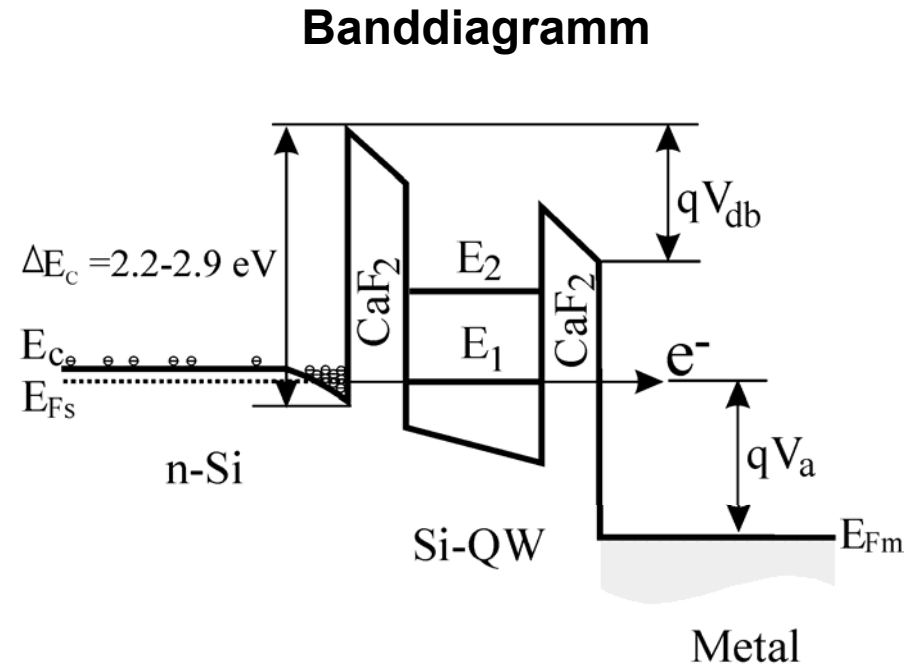
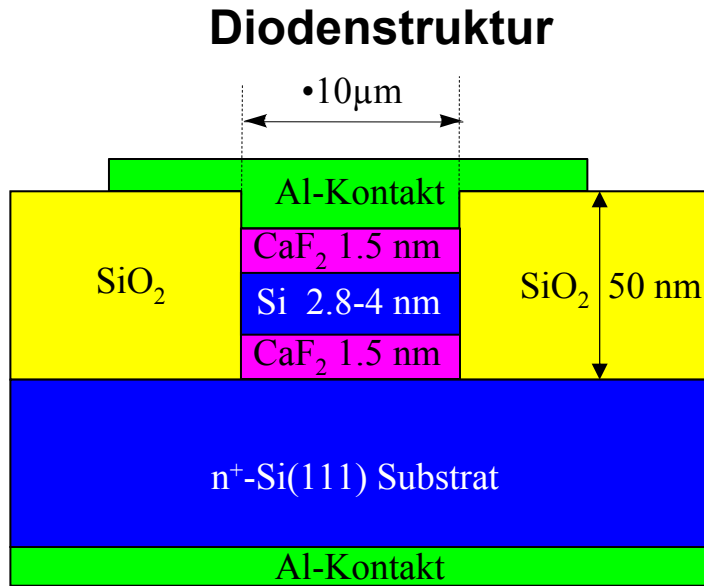


C.R. Wang et al., JVST A, 22, 2246-2250, 2004

C.R. Wang et al., IEEE Trans. Nanotech. 2, 236, 2003

C.R. Wang et al., Thin Solid Films 410 (1-2), 72-75, 2002

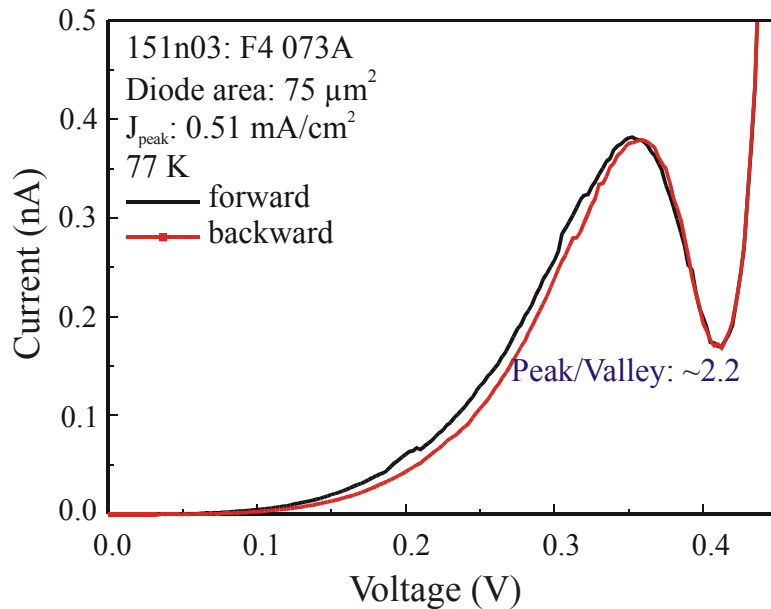
CaF₂/Si/CaF₂ Resonante Tunneldiode



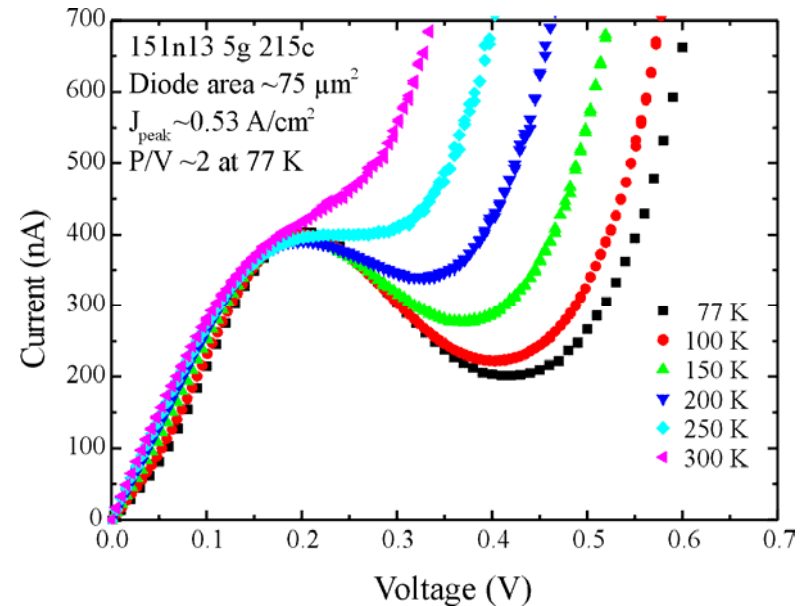
MBE-Wachstum in Oxidfenster

C.R. Wang et al., Appl. Phys. Lett. 86 (2005) 033111.

I-V Charakteristiken mit SME hergestellter RTDs



2.8 nm Si-QW mit Surfactant Sb

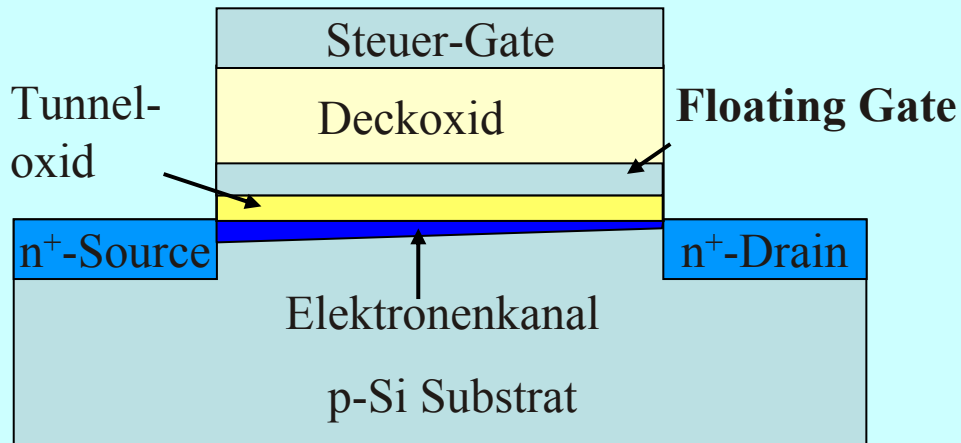


4.0 nm Si-QW mit Surfactant B

- I-V Charakteristiken mit NDR, P/V Verhältnis ~ 2 bei 77K
- Peaklagen entsprechen einfacher Transmissionmatrix-Theorie
Temperaturunabhängigkeit spricht für Tunnelmechanismus
- Keine Hysterese- oder Trappingeffekte
- Resonanter Tunneleffekt bei Raumtemperatur

Ge Nanocluster Flash-Speicher

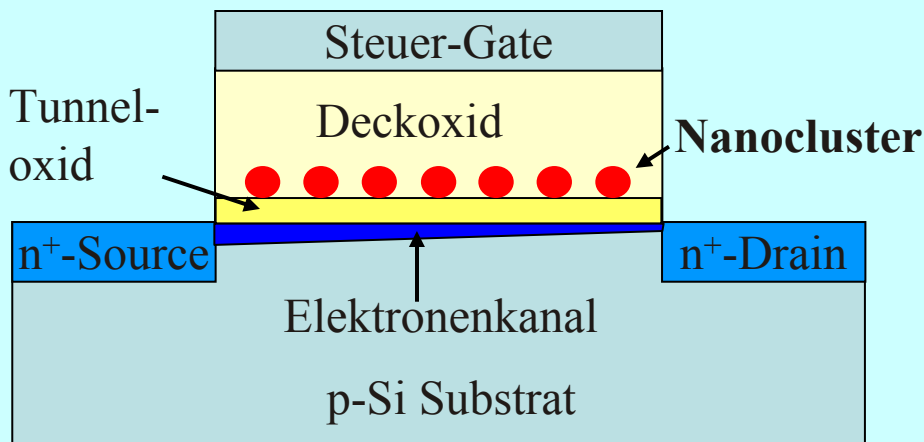
Floating-Gate Flash-Speicher



Nanocluster-Speicher

- Poly-Si Floating Gate in Flash EEPROM MOSFET-Struktur ersetzt durch Schicht isolierter Nanocluster
- Bessere Skalierbarkeit (dünnere Tunneloxide) da Oxiddefekte nur einzelne Cluster entladen
- Be- und Entladung der Cluster durch Tunneln mit jeweils wenigen Elektronenladungen
- Erforderliche Clustergrößen ~ 5 nm bei Dichten von $\sim 1 \times 10^{12} \text{ cm}^{-2}$

Nanocluster Flash-Speicher



Clustermaterialien

- Bisher vor allem Si-Nanocluster mit verschiedenen Verfahren

Hier: Ge-Nanocluster (NC)

Ge-Nanocluster Speicher

Vorteile Ge-Nanocluster

- Geringere Bandlücke von Ge (0,66 eV) vs. Si(1,12 eV)
⇒ tiefere Potentialtöpfe im Oxid, verbesserte Speicherzeiten
- Dünnere Tunneloxide und damit schnellere Be- und Entladezeiten

Probleme der Ge-NC Gatestack-Herstellung

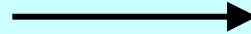
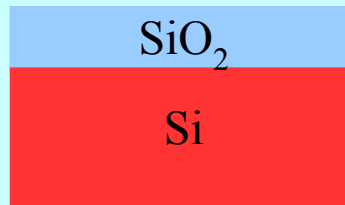
- Cluster in definiertem Tunnelabstand mit hohen Dichten und gleichförmigen kleinen Durchmessern
- Hohe Qualität des Tunnel- und Deckoxids und der Grenzflächen
- Ge darf bei Gatestackprozess nicht an Luft kommen ⇒ Bildung von GeO_2 (flüchtig bei Temperatur) führt zu Strukturdefekten
- Cluster- und Deckoxidherstellung in einer Prozesskammer erforderlich!

⇒ **Neues Verfahren für Ge-NC Speicher-Struktur entwickelt**

PE-CVD Prozess für Ge-Nanocluster Gatestack

Thermische Oxidation

850°C–950°C:
2–5 nm **Tunneloxid**



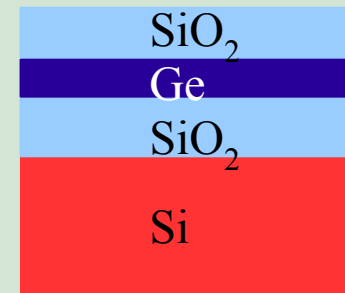
PE-CVD-Abscheidung

Ge aus GeH₄ bei 200°C:
2–3 nm **amorphe Ge-Schicht**



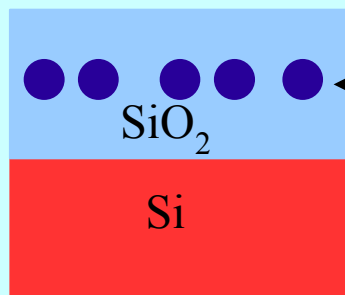
PE-CVD-Abscheidung

SiO₂ aus SiH₄ und N₂O bei 400°C:
10–15 nm **Deckoxidschicht**

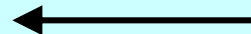


Tempern (RTP)

5–30 s bei 900°C–1020°C:
Ge-Clusterformierung

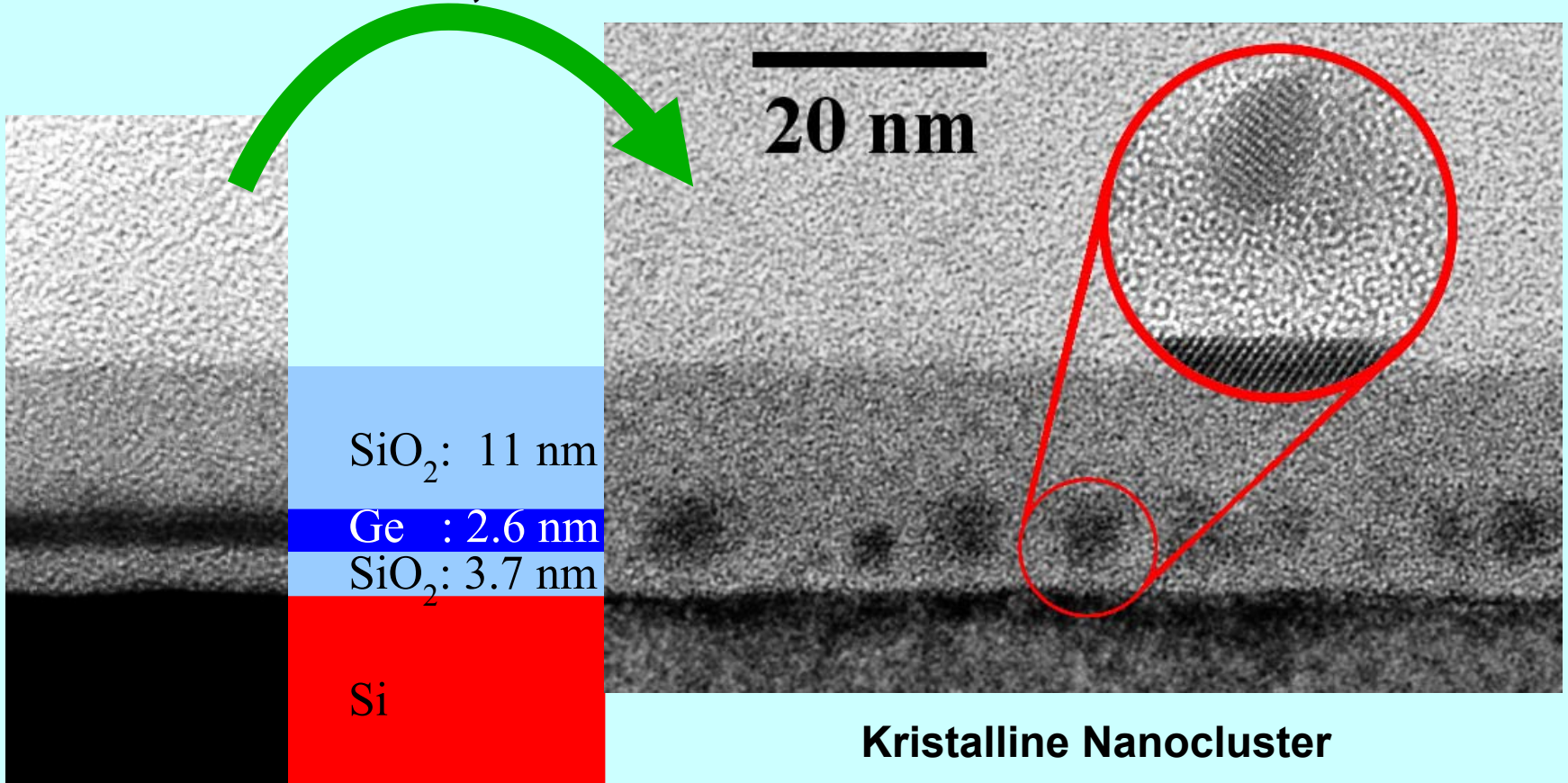


← **Ge-Cluster**



Clusterformierung

RTP-Temperatur
1015°C, 20 s

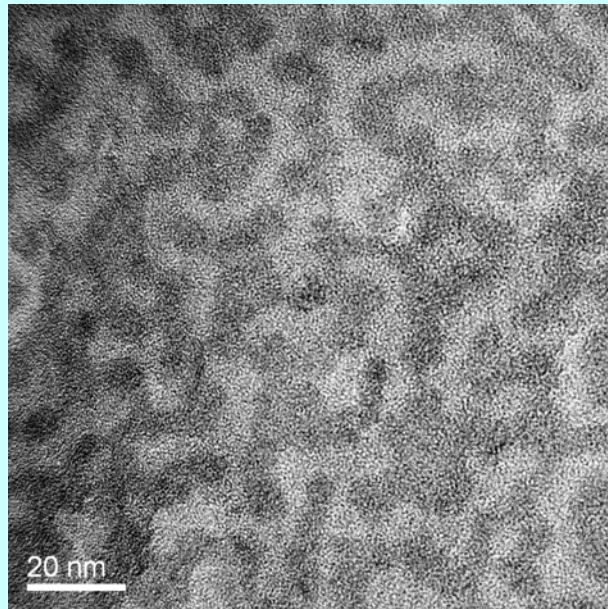


Kristalline Nanocluster

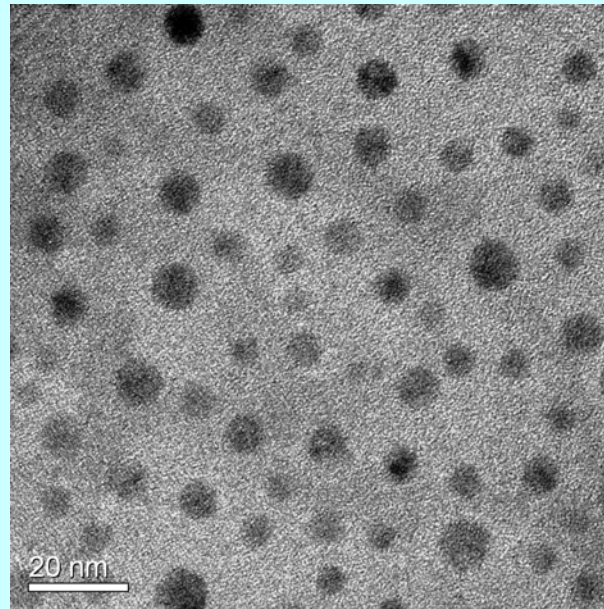
PE-CVD Gatestack
amorphe Ge-Schicht

TEM: E. Bugiel, MBE

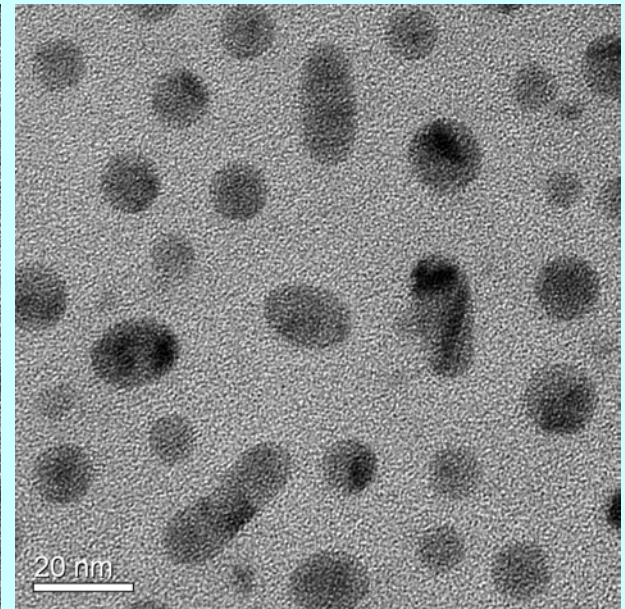
Einfluss unterschiedlicher Temperprozesse auf Dichte und Größe der Cluster



700°C, 180 s
keine Cluster



1020°C, 5 s
viele kleine Cluster



1020°C, 20 s
wenige große Cluster

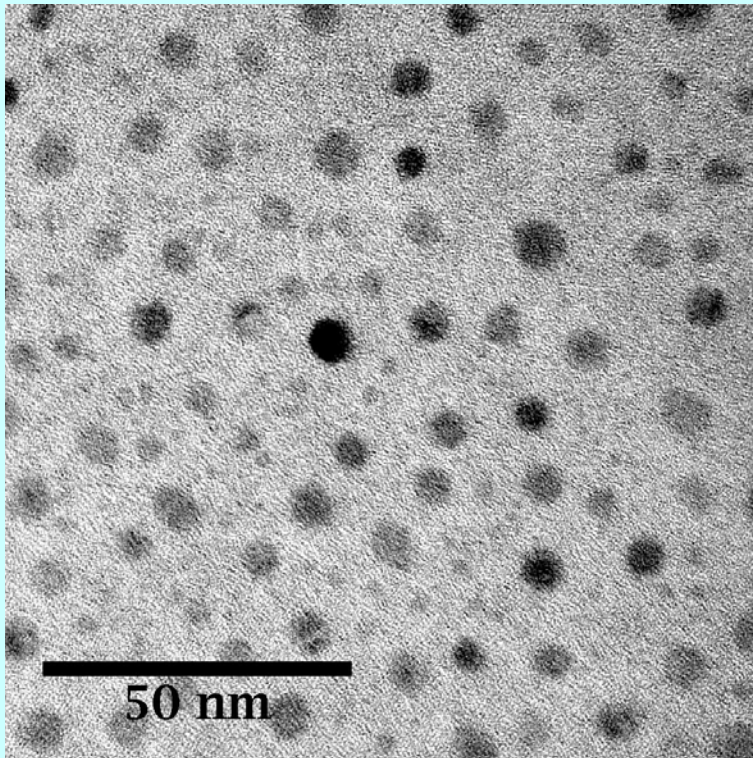
Dicke der amorphen Ge Ausgangsschicht 2,6 nm

TEM: E. Bugiel, MBE

Bisher bester Clusterprozess

Zielwerte:

→ hohe Dichte: 10^{12} cm⁻², kleiner Durchmesser: $d \approx 5$ nm

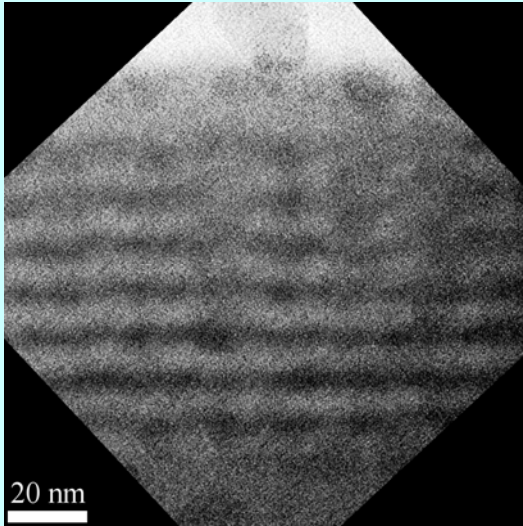


Erreichtes Ergebnis:

- Ge-Ausgangsschicht: 2.2 nm
- Temperatur 950°C, 10 s
- Clusterdichte $7 \cdot 10^{11}$ cm⁻²
- Mittlerer Durchmesser 5.4 nm

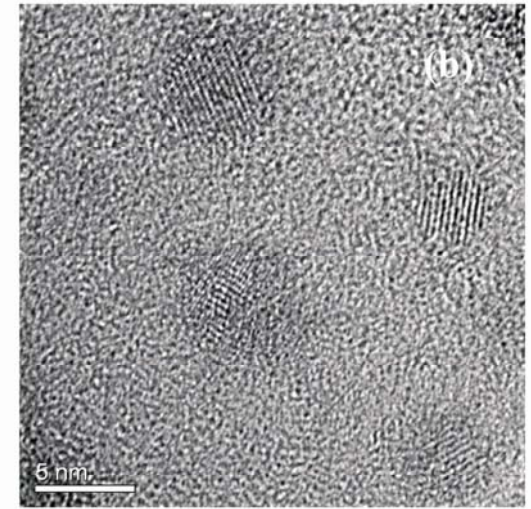
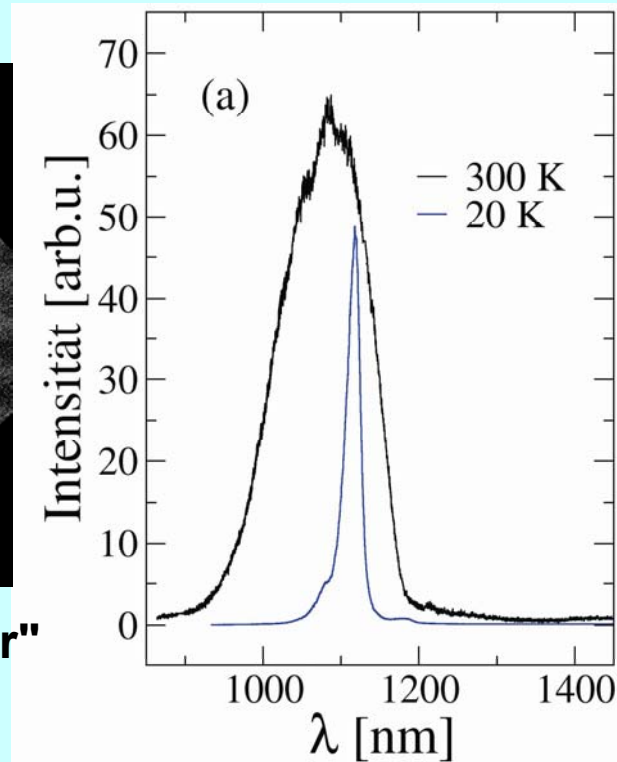
TEM: E. Bugiel, MBE

Speicherzustand der Elektronen und Löcher auf Nanoclustern



Ge-NC/SiO₂ "Übergitter"

TEM: E. Bugiel, MBE

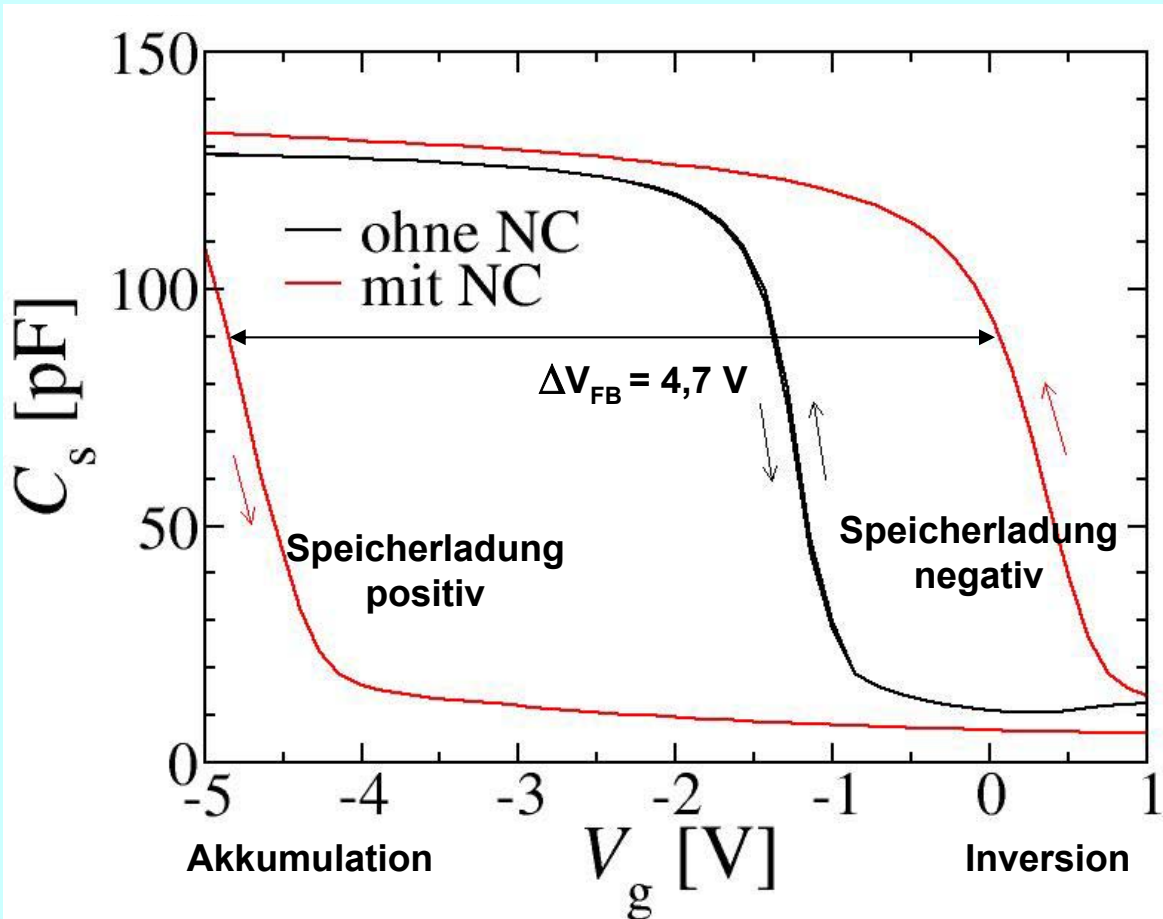


Ge-Nanocluster

- Photolumineszenzspektrum sollte größenabhängige quantisierte Zustände in Ge-Clustern nachweisen
- bisher keine Lumineszenz beobachtet → starke nichtstrahlende Rekombination an Clustergrenzfläche?

Zusammenarbeit mit Prof. Oestreich, Dr. Hübner (FKP)

Ladungsspeicherung in Ge NC-MOS-Struktur



NC-MOS-Struktur
p-Si Substrat
Tunneloxiddicke 3,3 nm
Deckoxiddicke 12,0 nm

Probe mit Ge-NC

- Ladungsspeicherung $\Delta V_{FB} = 4,7 \text{ V}$
- Umladung durch Elektronen oder Löcher

Referenz ohne NC

- Keine Ladungsspeicherung (Hysterese)

HF Kapazitäts-Spannungskennlinien:

$f = 500 \text{ kHz}$, $-5 \text{ V} \leq V_g \leq 1 \text{ V}$, Haltezeit der Endspannungen 30 s, $dV_g/dt = 1 \text{ V/s}$

Weitere Ziele Ge-NC MOSFET-Speicher

- **Herstellung von Ge-NC n-MOSFET Speicherstrukturen**
- **Klärung der physikalischen Speichermechanismen durch Analyse und Modellierung des elektrischen Verhaltens**
- **Untersuchung der Speichereigenschaften in Abhängigkeit von Strukturparametern und Prozess**
 - Be- und Entladezeiten, Speicherzeit, Zyklenfestigkeit
 - Vergleich mit Si-NC Speicherstruktur
- **Eignung als nichtflüchtiger und flüchtiger Speicher**

Mitarbeiter

Tobias Wietler
Oliver Kerker

Epitaktische
Ge-MOSFETs
auf Silizium

Dr. Cunrang Wang
(jetzt Infineon)

Epitaktische
Isolator/Si
Tunnelbauelemente

Dr. Tobias Dürkop
Robby Peibst

Ge-Nanocluster
MOS-Speicher

Gernot Krause

Degradationsphysik
MOSFETs und
Flash-EEPROMs

Dr. Alexandr Cosceev
Dr. Rüdiger Ferretti

Epitaktisches
Hi-k Gate-Dielektrikum
BaSrO

TEM-Analysen

Dr. Eberhard Bugiel, MBE

Kooperationen

AG Prof. Oestreich
FKP

AG Prof. Wollschläger
FKP

Infineon, Qimonda,
LSI Logic

AG Prof. Pfnür
FKP

AG Prof. Osten
MBE