

# ***LNQE on the Road***

**27. 6. 2007**

**Elektrotechnik**

mehr Informationen unter [www.et-inf.uni-hannover.de](http://www.et-inf.uni-hannover.de)

Fakultät für Elektrotechnik und Informatik  
Dekan: H.J. Osten  
Prodekan: B. Wagner

Elektrotechnik

Informationstechnik

Informatik

Laboratorium für Informationstechnologie

**Fakultät für Elektrotechnik und Informatik:**

**Zusammenschluss der Fachbereiche:**

**Fachbereich Elektrotechnik und Informationstechnik**

**Fachbereich Informatik**

**36 Professoren, davon 8 Junior-Profes**

## Elektrotechnik-Institute

Energieversorgung und Hochspannungstechnik

Grundlagen der Elektrotechnik und Messtechnik

Elektrothermische Prozesstechnik

Regelungstechnik/Mechatronik

Antriebssysteme und Leistungselektronik

Theoretische Elektrotechnik

Materialien und Bauelemente der Elektronik

## LNQE in der Elektrotechnik

### Vorträge (jeweils 15 min. + Diskussion)

- H.J. Osten (MBE)
- B. Ponick (IAL)
- K.R. Hofmann (MBE)
- W. Mathis (TET)
- A. Fissel (Lfi)

### Kleiner Empfang

18:15: Beginn von Führungen im Lfi



**MBE**

Institut für Materialien und Bauelemente der Elektronik

---

# ***Nanoelektronik in der Elektrotechnik an der LUH***

**H. Jörg Osten\*, K.R. Hofmann\*, A. Fissel\*\*, W. Mathis\*\*\***

**\*Institut für Materialien und Bauelemente der Elektronik**

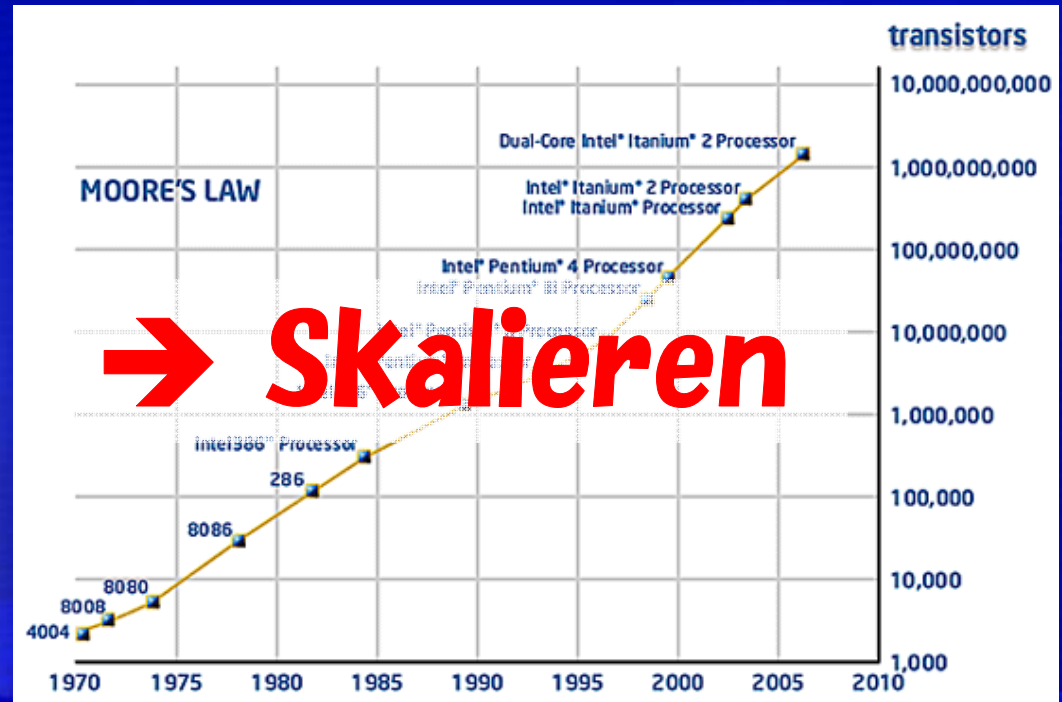
**\*\*Laboratorium für Informationstechnologie**

**\*\*\*Institute für Theoretische Elektrotechnik**

**Leibniz Universität Hannover**

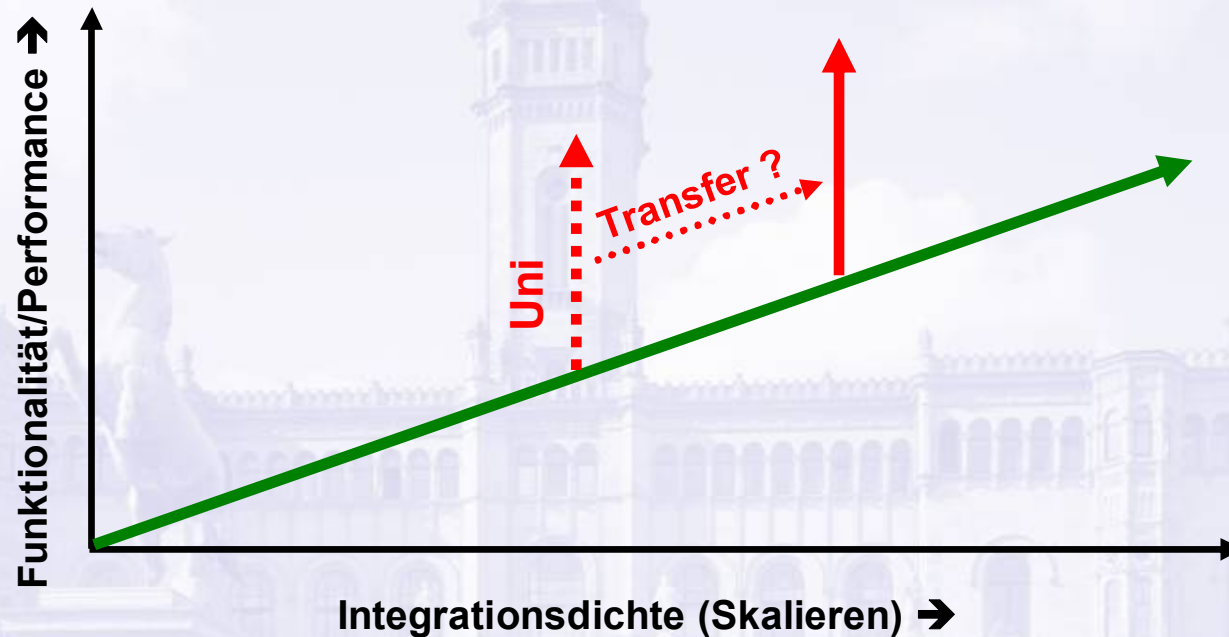


# Moore's "Gesetz"



*Die Anzahl von Transistoren pro Chip verdoppelt sich alle 18 Monate*

Gordon E. Moore 1965



- Modulare Integration von „Komponenten“ (→ SoC)
- Neue oder modifizierte Bauelementekonzepte
- Intelligentes Design (Bauelement bis kompletter IC)
- **Materialengineering**



MBE

## **Nanoelektronik für den Massenmarkt**

---

- **Basierend auf Si-Wafern**  
billig, große Waferflächen  
ausreichend verfügbar  
hohe Perfektion
- **Anforderungen**  
Funktionalität bei Raumtemperatur und höher  
integrierbare Lösungen  
→ mehr als  $10^{10}$  Bauelemente auf einem Chip  
hohe Ausbeute bei einfacher Herstellung





MBE

## Forschungsstrategie

---

**Neues Material  
Neues BE-Konzept**



**Eigenschaften**



**Wissenschaftl.  
Publikation**



**Erfordert eine technol. Linie**

**Funktionsnachweis  
(Prototyp)**

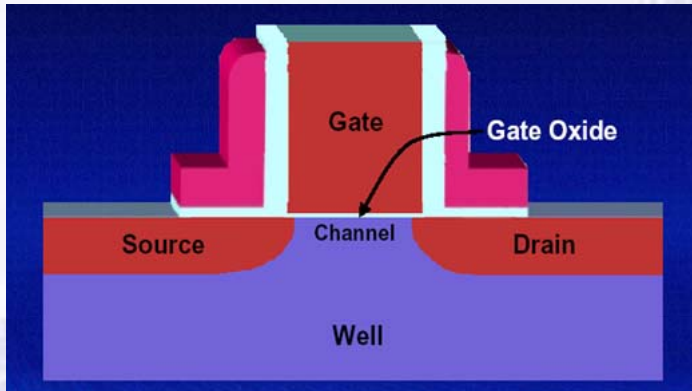


**Industrielle  
Nutzung**



MBE

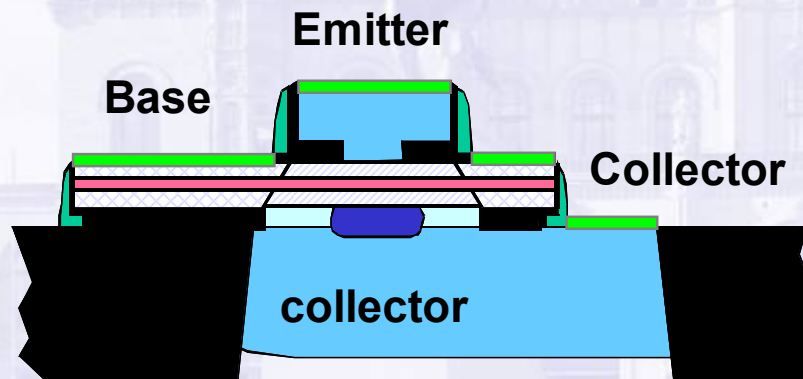
## Skalieren



### Field effect transistor (FET):

Speed = carrier transport from source to drain

- Lateral device
- today: channel lengths < 65 nm
- lithography limited



### Heterojunction bipolar (HBT):

Speed = carrier transport from emitter to collector

- Vertical device
- today: base thickness < 20 nm
- Performance nearly independent on lateral sizes
- layer growth limited



## Neuartige vertikale Bauelemente

Resonante-Tunnel-Diode mit Isolator-Doppelbarriere und HL-Quantum-Well

Kollektor

Barriere

HL-QW

Barriere

Emitter

Kollektor

Barriere

Metall-QW

Barriere

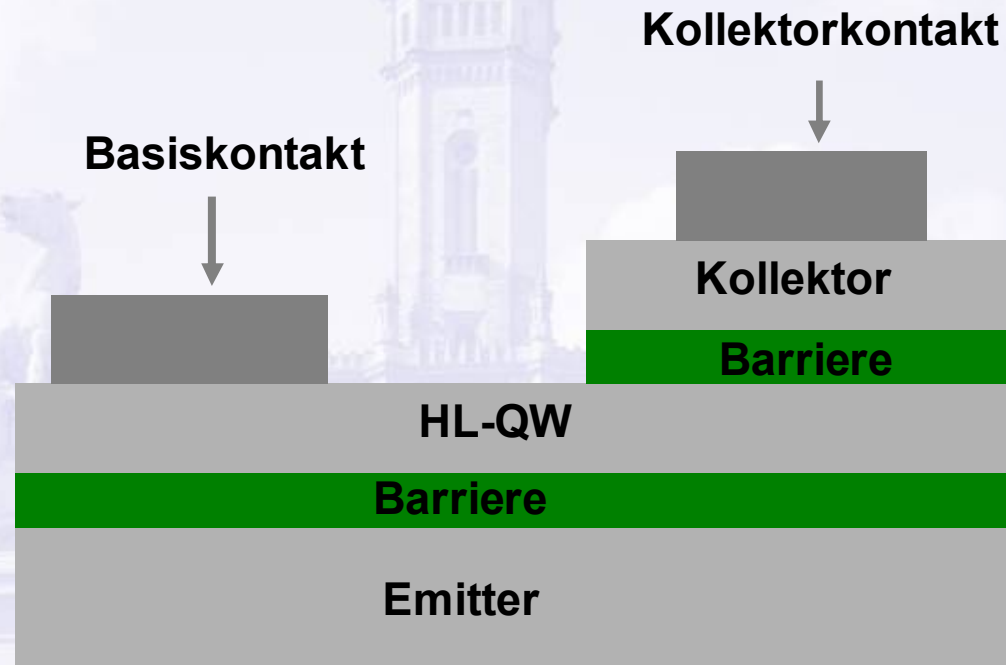
Metall-QW

Barriere

Emitter

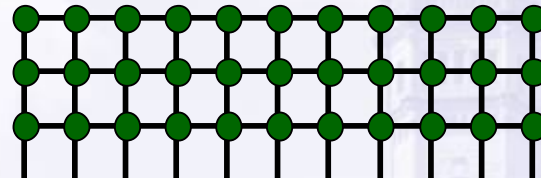
Resonante Tunnel-Diode mit 3 Isolator-Barrieren und 2 Metall-Quantum-Wells

## Resonanter Tunnel-Transistor

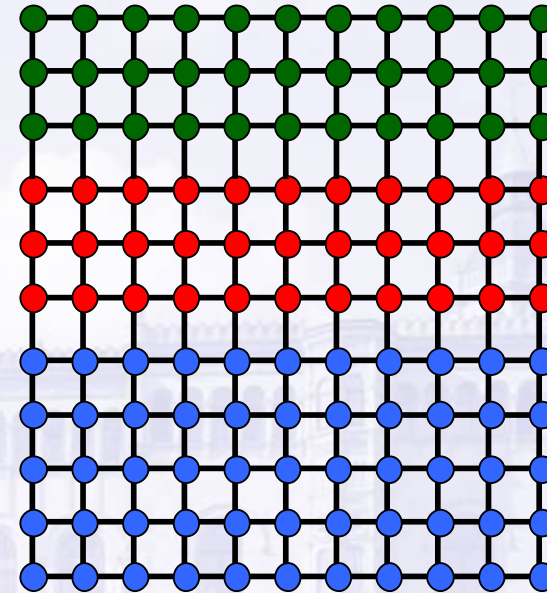
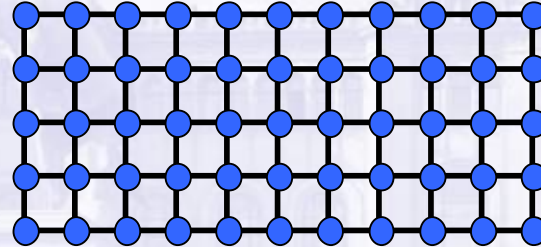
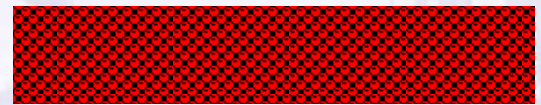


Auch möglich mit 3 Isolatorbarrieren

## Amorph oder epitaktisch?



???

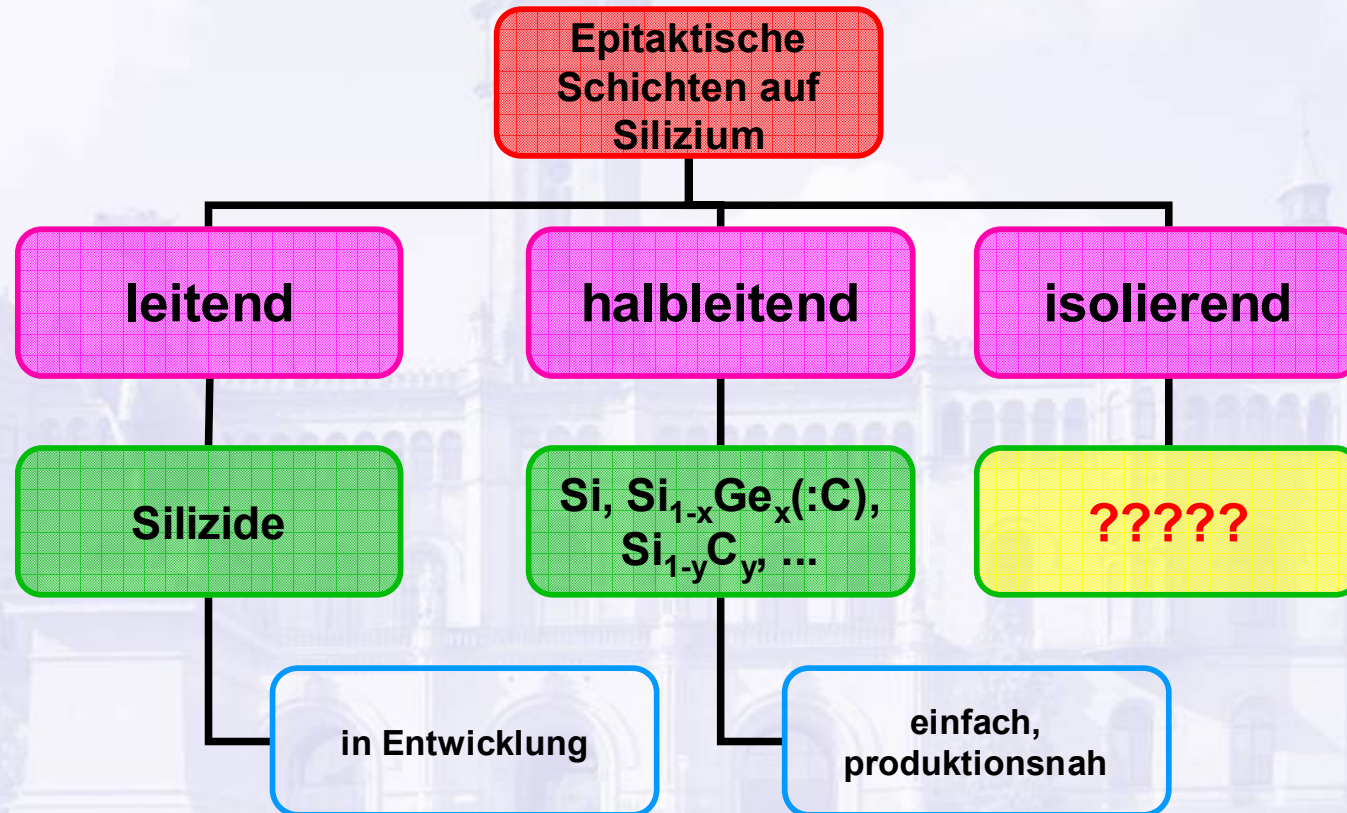


**Epitaktisch:** wohl definierte Grenzfläche:  
 → Grenzflächenengineering besser möglich

**Prinzipiell sind epitaktische Schichtstapel möglich**  
 → vergrabene Strukturen



## Epitaktische Schichtstapel



→ LUH: gebündelte Forschung zu **FUNKTIONALEN OXIDEN**



MBE

## **Anwendungen für epitaktische Isolatoren**

---

- **„klassisch“**  
High-K Dielektrika für Gate-Isolation  
Isolation durch lokales epitaktisches *silicon on Isolator (SOI)*
- **„Nichtklassisch“**  
Heterostrukturen für Quanteneffekt-Bauelemente,  
wie RTD, Tunnel-Transistoren usw  
Vergrabene Quantenpunkt-Bauelemente  
(z.B. für nichtflüchtige Speicher)  
Grundlage für dreidimensionale Integration  
.....



**MBE**

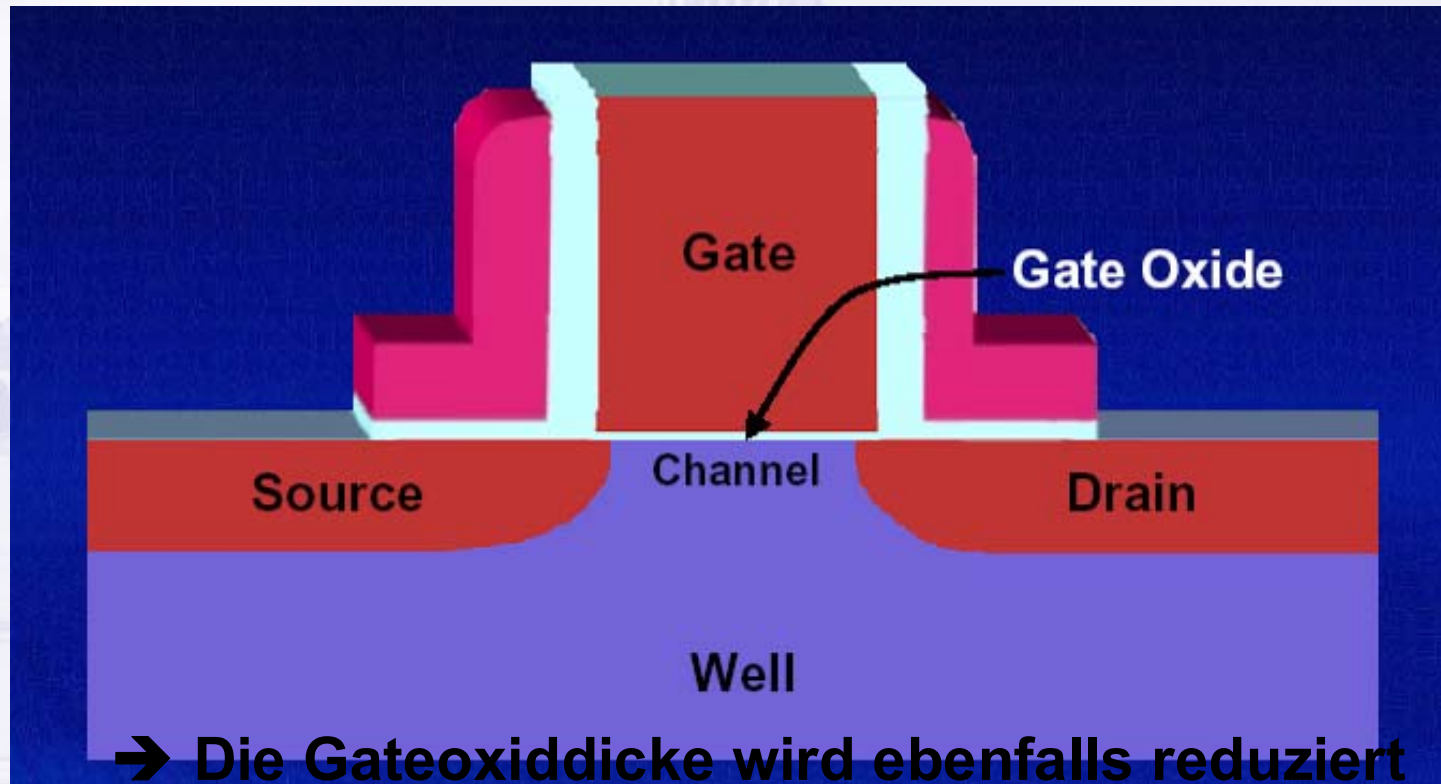
Institut für Materialien und Bauelemente der Elektronik

---

# *Epitaktische Isolatoren für moderne CMOS-Technologien*

**H. Jörg Osten**

**Institut für Materialien und Bauelemente der Elektronik  
Leibniz Universität Hannover**





## Gateoxide von wenigen Atomlagen Dicke

→ Tunnelströme steigen exponentiell mit abnehmender Dicke

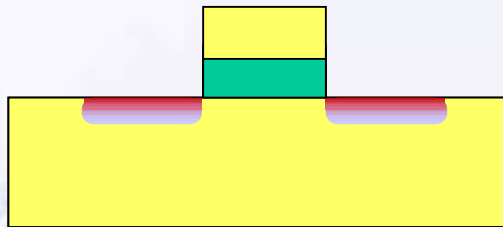
PolySi

3 Atomlagen SiO<sub>2</sub>:

- $J_{\text{leak}} = >100 \text{ A/cm}^2 @ 1\text{V}$
- Technisch nicht mehr homogen realisierbar (min. Schwankung 33 %)
- Nicht messbar
- Nicht stabil (*reliability problems*)

30 nm MOSFET (Intel)





→ Für geringe Leckströme muss das Gatedielektrikum dicker sein

**Aber: Die Kapazität darf sich nicht ändern!**

$$C = \epsilon_0 \epsilon_r A / d$$

**Lösung: Material mit höherer Dielektrizitätskonstante  $K$**

→ **High- $K$  Dielektrika** ( $K$  steht für  $\epsilon_r$ )



MBE

## Epitaxial Lanthanide Oxides (LnO) on Silicon

- Different valence states (+2, +3, +4)
  - Different stoichiometries (LnO, Ln<sub>2</sub>O<sub>3</sub>, LnO<sub>2</sub>)
- Band alignment (leakage current) changes drastically with varying oxygen content (CNL changes)
- Transitions between different valence states possible
  - Mixed-valence states can also be stable, like Pr<sub>6</sub>O<sub>11</sub>
  - most suitable: single valence state LnO's  
(Ln = La, Nd, Gd, Dy, Ho, Lu)
- different crystallographic structures
  - LnO<sub>2</sub>: cubic CaF<sub>2</sub> type,
  - Ln<sub>2</sub>O<sub>3</sub>: cubic Mn<sub>2</sub>O<sub>3</sub> type (*bixbyite*),  
hexagonal La<sub>2</sub>O<sub>3</sub> type  
monoclinic



MBE

## Phase Formation of Binary Rare-Earth Oxides

**A:** hexagonal (P63/m)

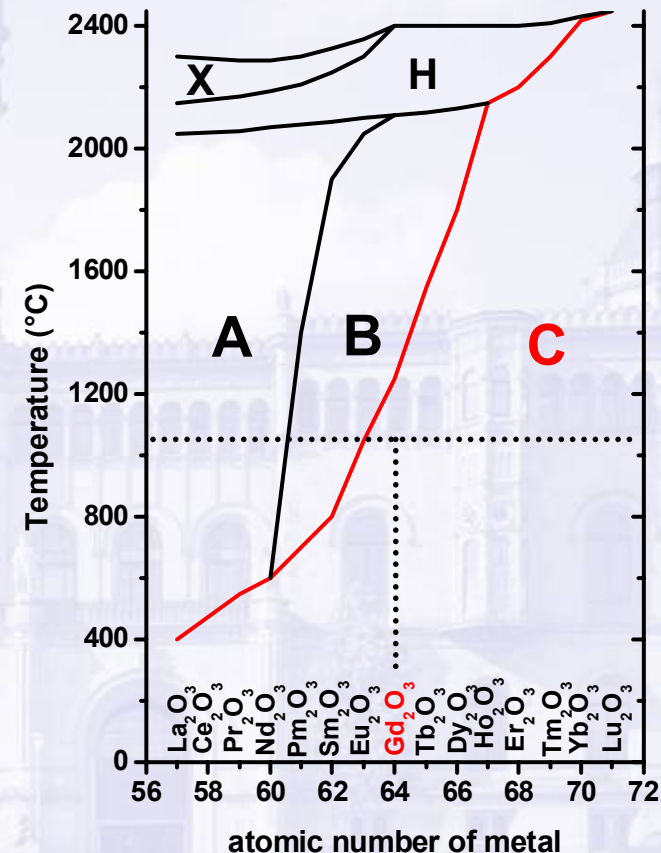
**B:** monoclinic (C2/m)

**C:** cubic (Ia-3)

H,X high-T modifications

Desired:  
No phase transformation below  
typical CMOS processing  
temperatures (1050°C)

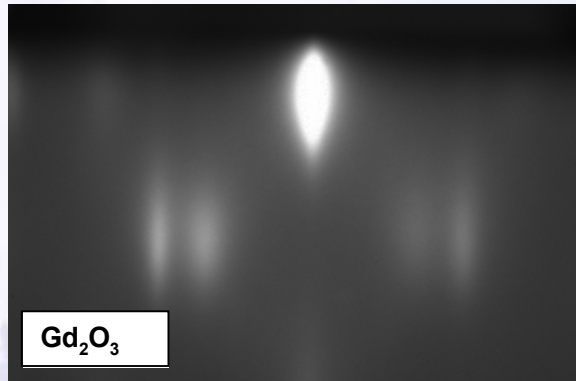
→ Our selection:  $Gd_2O_3$



after: M. Foëx, J.P. Traverse, Rev. Int. Hautes Temp. Réfract. 1966

# Growth: $Gd_2O_3$ on Si(001)

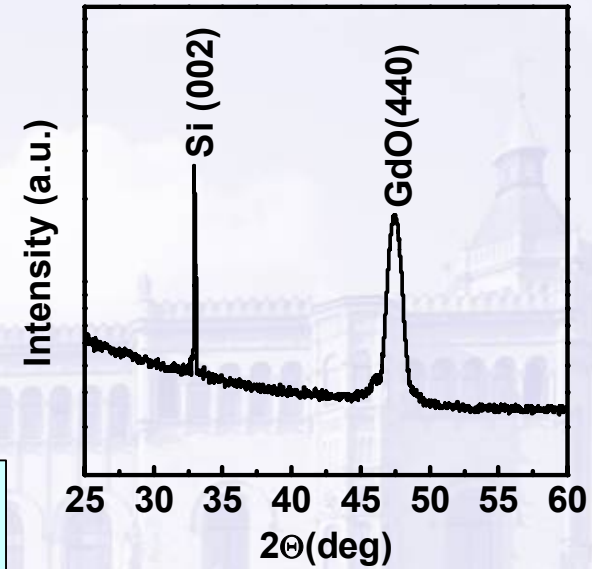
H.J.Osten *et.al.* J. Crys. Growth 278, 18 (2005)



2D growth



two types of (110)-oriented orthogonal domains

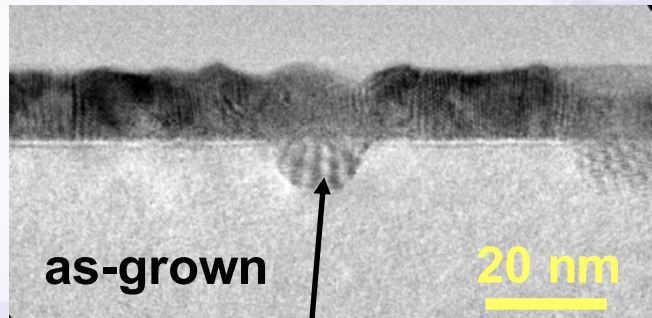


Crystalline structure

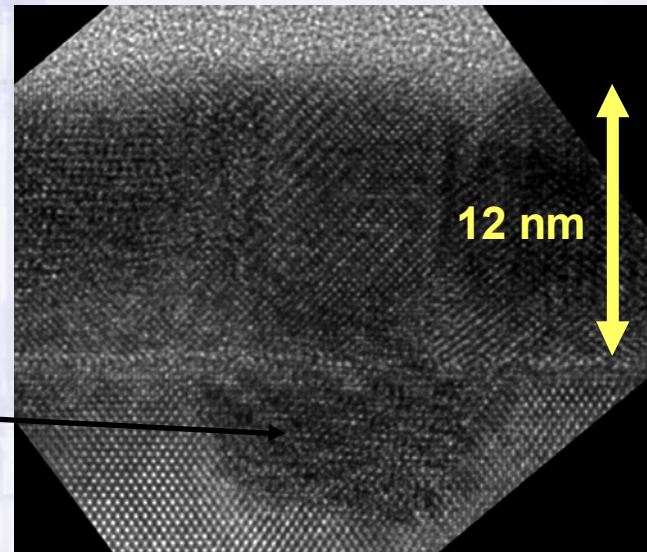
$Gd_2O_3(110)[001] \parallel Si(001)[110]$



## Growth under best UHV conditions



silicide



A. Fissel *et al.*, JAP 99 (2006) 074105

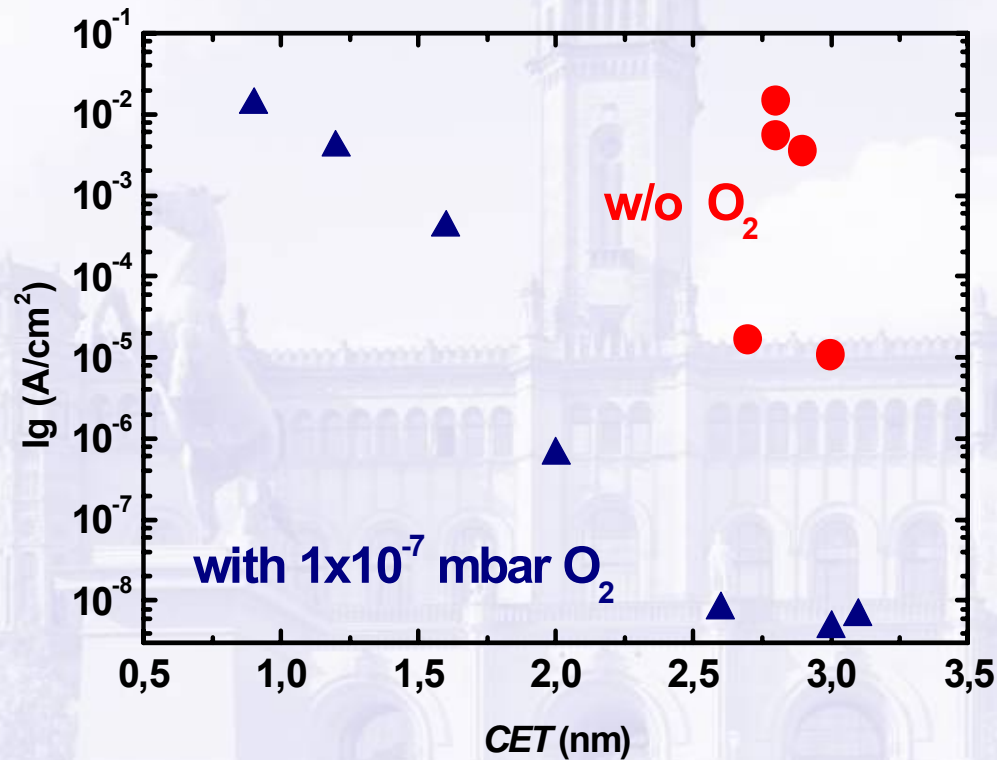
**Interface formation during growth is governed by oxygen**

- Oxygen partial pressure during growth is crucial
- Too low: silicide formation at the interface
- Too high:  $\text{SiO}_x$  formation at the interface



## Impact of Additional Oxygen on Leakage

APL 88 (2006) 152905

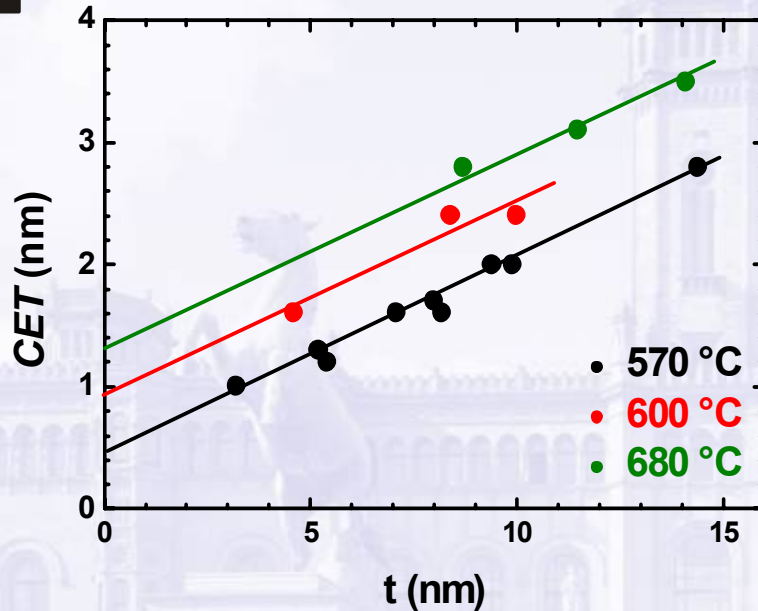


**Gd<sub>2</sub>O<sub>3</sub> samples grown at 570 °C  
with and without additional oxygen on Si**



MBE

## Optimization: Growth Temperature



$$K_{intr} = (24 \pm 2)$$

Intercept: ( $t \rightarrow 0$ )

0.4, 0.9, 1.3 nm

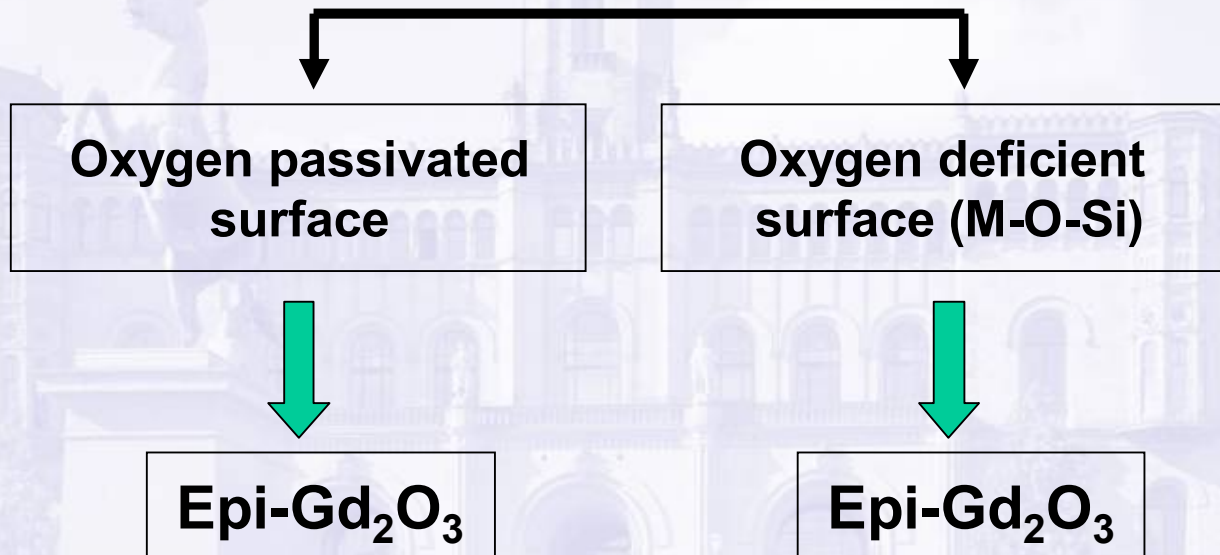
$$= t_{IF} (3.9/K_{IF})$$

TEM: no significant increase in  $t_{IF}$

→  $K_{IF}$  decreases due to the transformation of the interfacial layer from a silicate-like type to a more silicon-oxide like

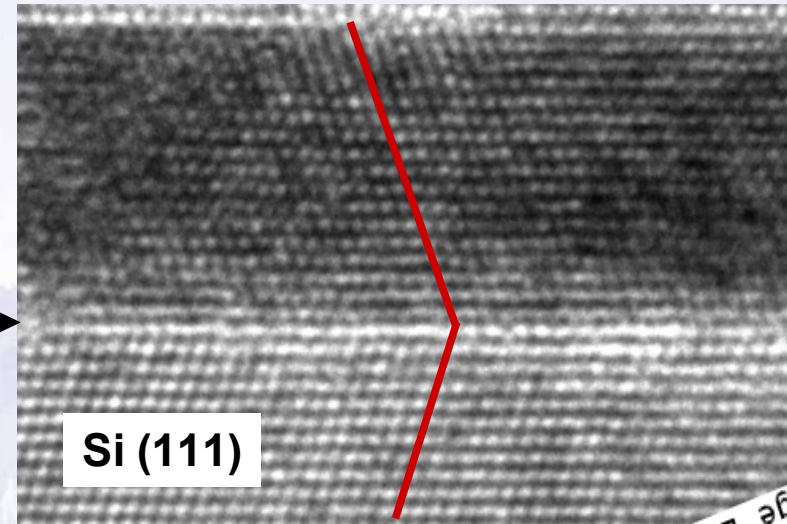
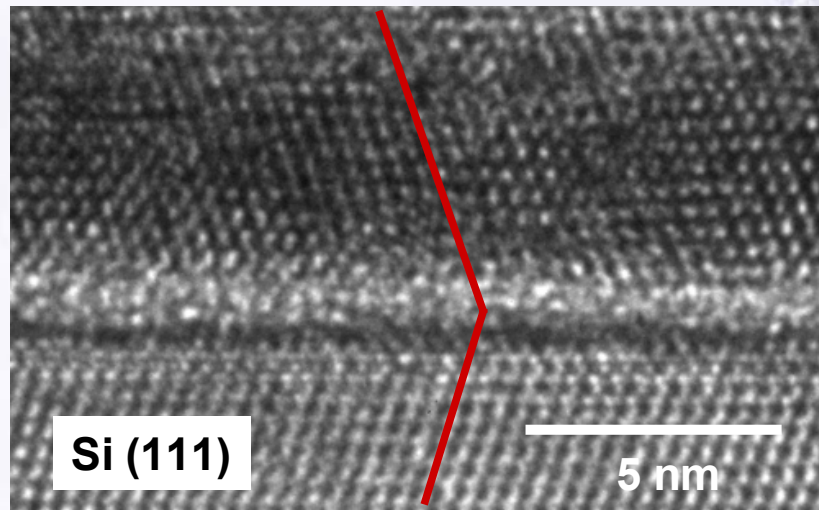
Czernohorsky *et al.*, APL 88 (2006) 152905

Clean (2x1) Si(001) surface



Layers deposition by solid source MBE

## Gd<sub>2</sub>O<sub>3</sub> on Si(111)

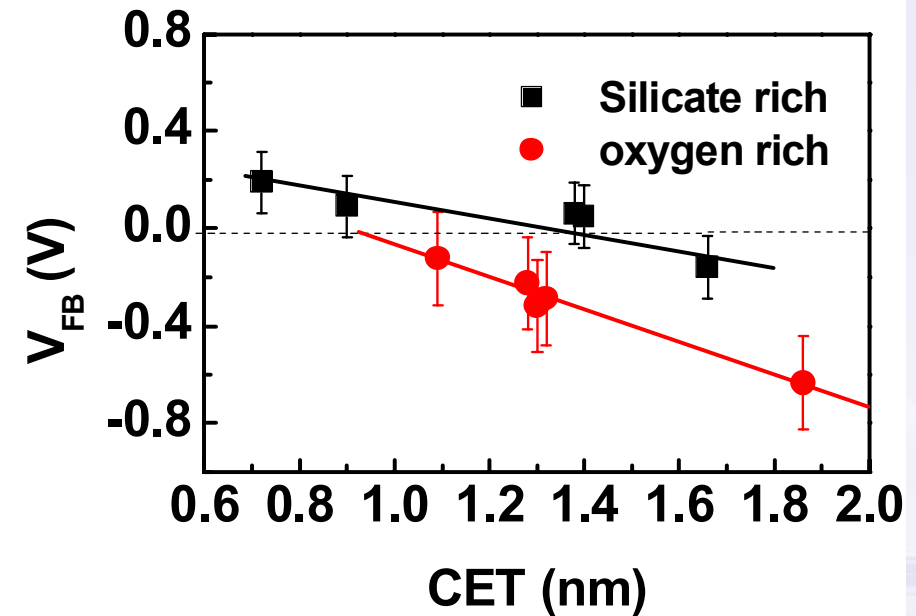
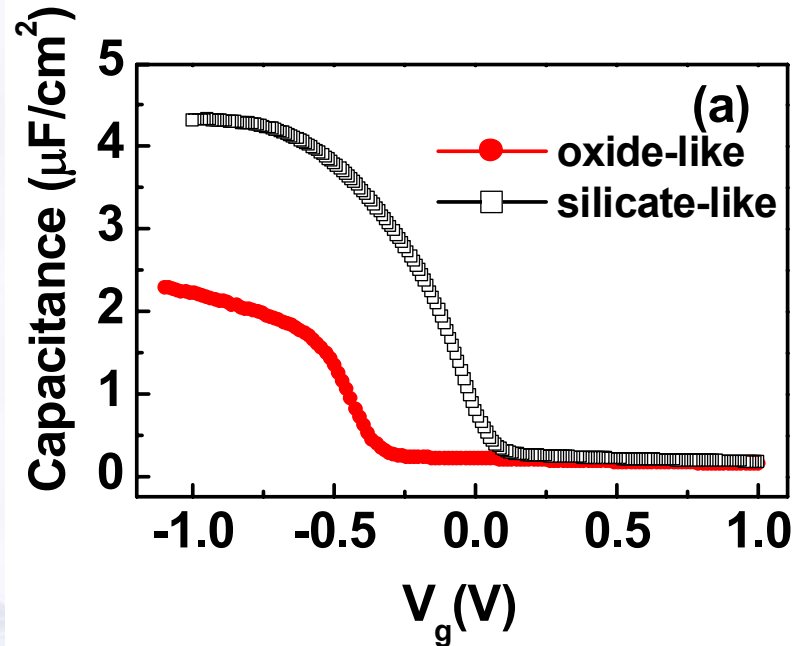


Oxygen enriched  
Interface (oxide-like)

Stoichiometric  
interface (silicate-like)

# Compare CET and FBV

Layer thickness: 4.2 nm



**CET# 0.7 nm (Silicate-like)**  
**# 1.1 nm (Oxide-like)**

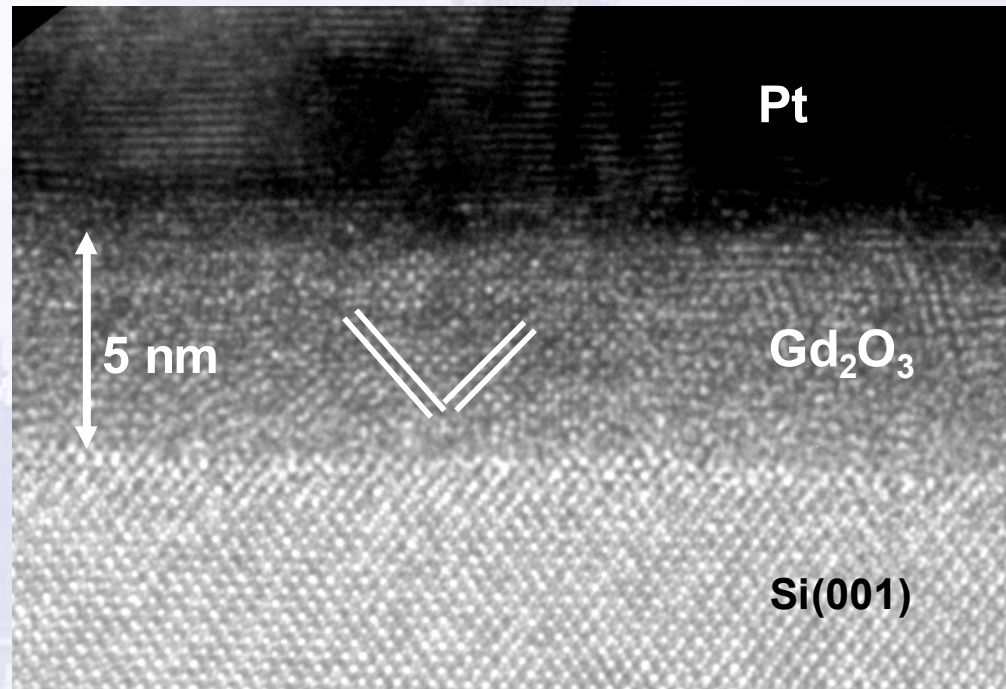
$$N_{\text{fix}}(\text{oxide}) = 1.3 \cdot 10^{13} \text{ cm}^{-2}$$

**FBV# +0.15 V (Silicate-like)**  
**# -0.26 V (Oxide-like)**

$$N_{\text{fix}}(\text{silicate}) = 5.6 \cdot 10^{12} \text{ cm}^{-2}$$



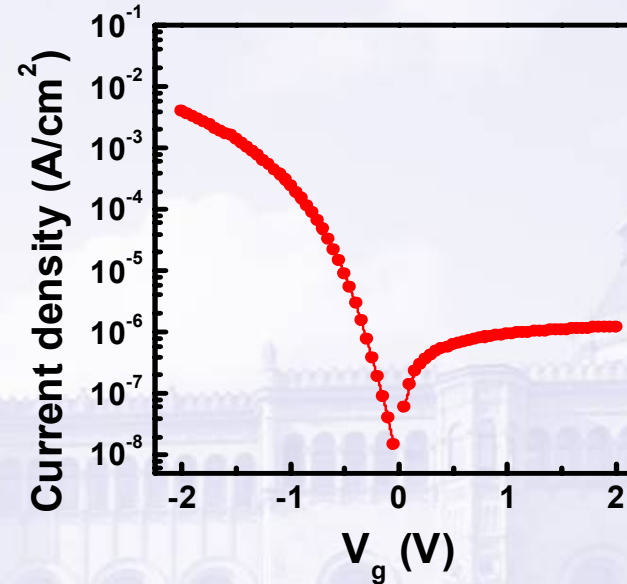
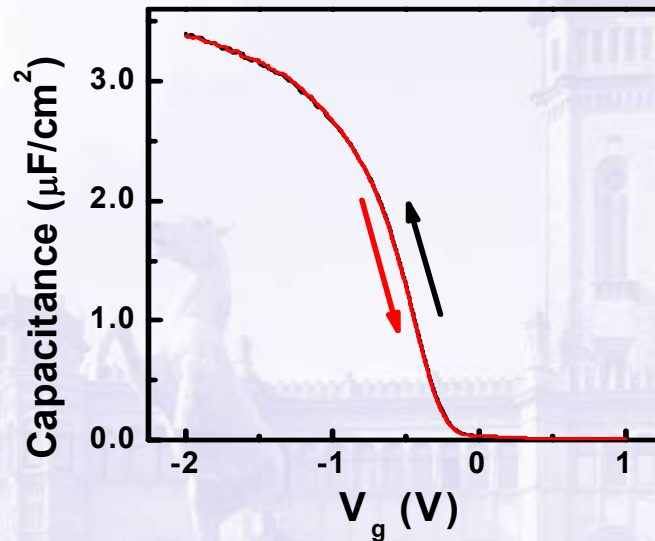
## Ergebnisse nach Grenzflächenengineering



**5 nm Gd<sub>2</sub>O<sub>3</sub> auf Si(001), 600 °C, p<sub>O<sub>2</sub></sub> = 5·10<sup>-7</sup> mbar**

M. Czernohorsky, A. Fissel, E. Bugiel, O.Kirfel, H.J. Osten, **Impact of Oxygen Supply during Growth on the Electrical Properties of Crystalline Gd<sub>2</sub>O<sub>3</sub> Thin Films on Si(001)**, Appl. Phys. Lett. **88** (2006) 152905

## Elektrische Ergebnisse



MOS-Kapazität: Pt/ $\text{Gd}_2\text{O}_3$ /p-Si(001)

Äquivalente Oxiddicke < 0.8 nm,

$J @ (V_{\text{FB}} - 1\text{V}) = 0.5 \text{ mA}/\text{cm}^2$ , hyst. < 10 mV

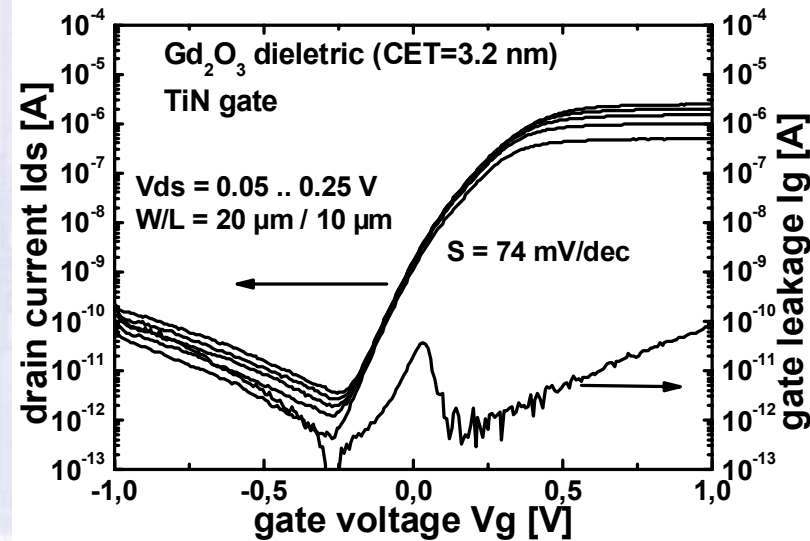
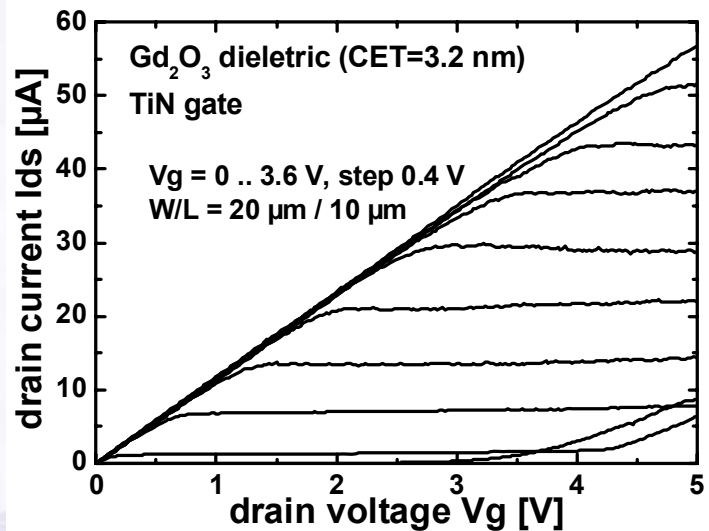
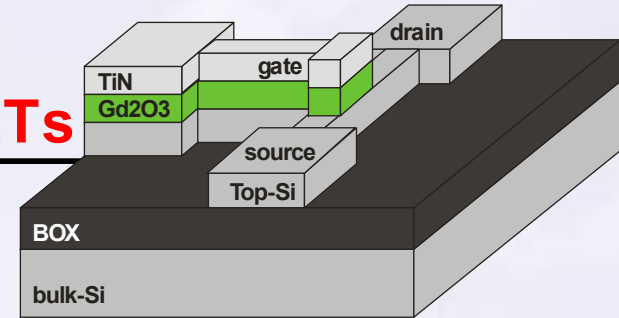
(0.8 nm  $\text{SiO}_2$ : 100  $\text{A}/\text{cm}^2$ )

→ erfüllt ITRS-Anforderungen für 2013

→ verschiedene Transistoren hergestellt (im Verbund)

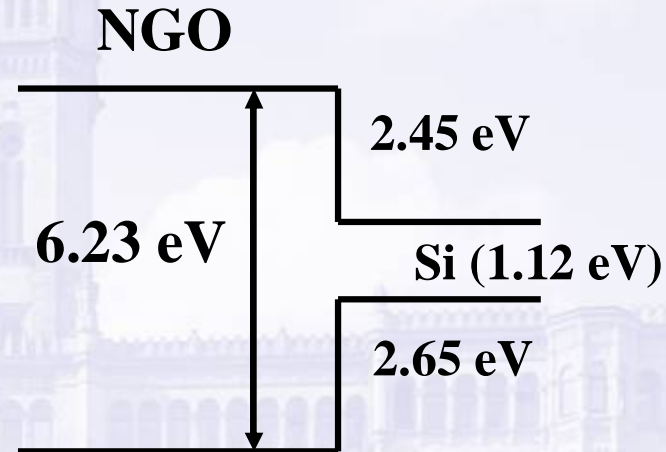
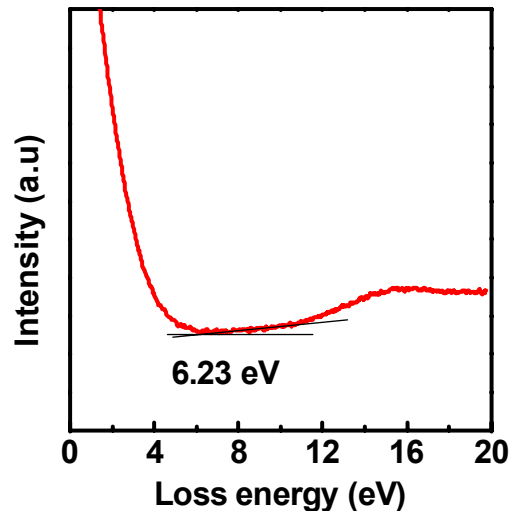
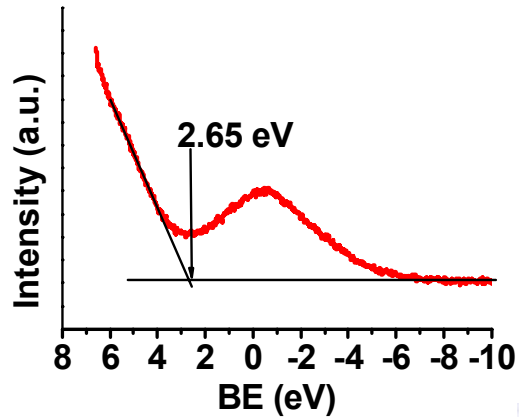


# Results: "Gate first" MOSFETs



- Fully functional output and transfer characteristics
- Excellent subthreshold behavior
- Low on current due to high source/drain resistances

# $(\text{Nd}_x\text{Gd}_{1-x})_2\text{O}_3$ – Mischschichten auf Si



- Modifikation der Bandanpassung
- massgeschneiderte Barrieren

A. Laha, A. Fissel, E. Bugiel, H.J. Osten, **Crystalline ternary rare earth oxides with capacitance equivalent thickness below 1 nm for high-*K* application**, Appl. Phys. Lett. **88** (2006) 172107.



MBE

## **Verbundprojekte**

---

# ***Crystalline Gate-Stacks for sub 100nm CMOS Transistors on FD-SOI (KrisMOS)***

**BMBF Verbundprojekt**

11/2003 – 6/2006

**Partner:**

- **AMO GmbH Aachen (Kurz)**
- **Techn. University Darmstadt (Schwalke)**
- **Paul-Drude-Institut Berlin (Ploog)**
- **Leibniz Universität Hannover (Osten)**

**Industrie:**







MBE

## **MegaEpos: BMBF-Verbundprojekt seit 3/07**

- **Forschung**

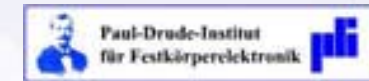
Paul-Drude Institut Berlin

AMO GmbH Aachen

IHP GmbH Frankfurt(Oder)

TU Darmstadt

Leibniz Universität Hannover



TECHNISCHE  
UNIVERSITÄT  
DARMSTADT

Leibniz  
Universität Hannover

- **Industrie**

AMD

NamLab (Qimonda)

Hereaus

AMD

NaMLab

Hereaus





MBE

## Netzwerk des MBE-Instituts

---

### Finanzierte Zusammenarbeit mit

- **FUDAN Universität Shanghai**  
DAAD PPT-Programm  
Personenaustausch, gemeinsamen Promotionen usw.
- **TECHNION in Haifa/Israel**  
German-Israelic Foundation  
Forschungskoooperation  
Personenaustausch



### Weitere Partner:

University of Leuven (BE)  
National Academy of Science, Kiev (UA)  
Chalmers University of Technology, Göteborg (SE)  
Tyndall National Institute, Cork (IR)

.....



MBE

## **Molekularstrahlepitaxie in Hannover**

---

- UHV-Cluster-Tool mit 6 Kammern
  - automatisierter Transfer der Wafer zwischen den Kammern
  - 4“, 6“ und 8“ Wafer Handling, 10 Wafer gleichzeitig ladbar
  - 9 Verdampfer mit massenspektrometrischer Steuerung
  - kontrollierter Gaseinlass in Verdampferkammer (Restgaszusammensetzung im  $10^{-8}$  mbar Bereich einstellbar)
  - *in situ* RHEED mit Bildverarbeitung
  - winkelaufgelöstes XPS in spezieller Kammer
  - Metallisierungskammer mit 4 Tiegel-ESV und speziellen Lochmasken für Kontaktelektroden
  - Separate Temper-Kammer bis 1000 °C unter definierten Gasbedingungen (UHV → normal)
- Perfekter „Cleanroom“
- Herstellung und Bewertung von kristallinen Oxiden

**lfi**

Annealing

Metallization

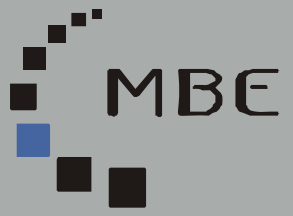
growth

Load lock

robot

XPS

8" MBE System in Hannover



## LNQE in der Elektrotechnik

### Vorträge (jeweils 15 min. + Diskussion)

- H.J. Osten (MBE)
- B. Ponick (IAL)
- K.R. Hofmann (MBE)
- W. Mathis (TET)
- A. Fissel (Lfi)

### Kleiner Empfang

18:15: Beginn von Führungen im Lfi